

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Moon-Sook Lee

Application No.: To Be Assigned

Filed: Concurrently Herewith

For: **INTEGRATED CIRCUIT DEVICES INCLUDING AN INTAGLIO PATTERN
AND METHODS FOR FABRICATING THE SAME**

March 1, 2004

Mail Stop PATENT APPLICATION

Commissioner for Patents

PO Box 1450

Alexandria, VA 22313-1450

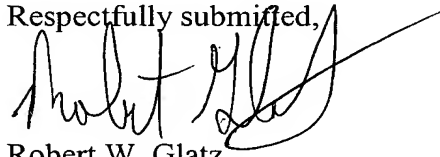
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

2003-0013120, filed March 3, 2003.

Respectfully submitted,



Robert W. Glatz

Registration No. 36,811

Myers Bigel Sibley & Sajovec, P.A.

P. O. Box 37428

Raleigh, North Carolina 27627

Telephone: (919) 854-1400

Facsimile: (919) 854-1401

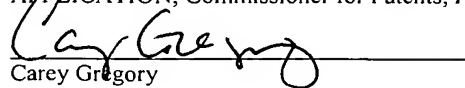
Customer No. 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 381443747 US

Date of Deposit: March 1, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



Carey Gregory



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0013120
Application Number

출원 년 월 일 : 2003년 03월 03일
Date of Application MAR 03, 2003

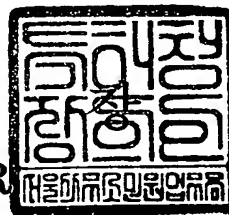
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 04 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.03
【발명의 명칭】	반실린더형 캐패시터를 갖는 강유전체 메모리 소자 및 그 제조 방법
【발명의 영문명칭】	FERROELECTRIC MEMORY DEVICE EQUIPPED WITH SEMI-CYLINDRICAL CAPACITOR AND METHOD FOR THEREOF
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이문숙
【성명의 영문표기】	LEE,MOON SOOK
【주민등록번호】	680119-2182611
【우편번호】	138-169
【주소】	서울특별시 송파구 가락본동 금호아파트 103동 2304호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	41 면 41,000 원



1020030013120

출력 일자: 2003/11/11

【우선권주장료】	0	건	0	원
【심사청구료】	22	항	813,000	원
【합계】	883,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

본 발명은 반실린더형 캐패시터를 갖는 강유전체 메모리 소자 및 그 제조방법을 개시한다. 개시된 본 발명은 매립 콘택이 형성된 층간절연막상에 산화막을 형성하는 단계; 적어도 2개의 매립 콘택 상면을 개방시키는 음각패턴을 형성하는 단계; 상기 음각패턴 내면에 상기 개방된 적어도 2개의 매립 콘택 상면 각각과 접촉하는 적어도 2개의 하부전극을 형성하는 단계; 및 상기 적어도 2개의 하부전극 상면 각각에 강유전막과 상부전극을 순차로 형성하는 단계를 포함하는 것을 특징으로 한다. 이에 따르면, 캐패시터를 3차원적 구조로 형성하여 종래의 평면적 캐패시터에 비하여 전극 표면적 증가에 따른 캐패시터 용량의 증대 효과와, 하부전극을 종횡비가 작은 음각패턴 내면에 대칭적인 형태로 형성함으로써 종횡비 감소에 따른 캐패시터의 상하부 전극 및 강유전막의 박막화 한계와 식각공정의 공정마진이 확보되는 효과가 있다.

【대표도】

도 3



【명세서】

【발명의 명칭】

반실린더형 캐패시터를 갖는 강유전체 메모리 소자 및 그 제조방법{FERROELECTRIC MEMORY DEVICE EQUIPPED WITH SEMI-CYLINDRICAL CAPACITOR AND METHOD FOR THEREOF}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 원통형 캐패시터를 갖는 강유전체 메모리 소자를 도시한 단면도이다.

도 2는 종래 기술에 따른 실린더형 캐패시터를 갖는 강유전체 메모리 소자를 도시한 단면도이다.

도 3은 본 발명의 실시예1에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자를 도시한 단면도이다.

도 4 내지 도 17은 본 발명의 실시예1에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법을 도시한 공정별 단면도이다.

도 18은 본 발명의 실시예2에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자를 도시한 단면도이다.

도 19 내지 도 32는 본 발명의 실시예2에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법을 도시한 단면도이다.

< 도면의 주요부분에 대한 부호의 설명 >

100; 반도체 기판 102; 소자분리막

104; 게이트 절연막 106; 게이트 전극



108; 하드마스크 110; 게이트 스페이서
112a; 소오스 112b; 드레인
114; 트랜지스터 115a, 115b; 콘택패드
116; 제1층간절연막 118; 제1콘택홀
119; 다이렉트 콘택 120; 비트라인
122; 제2층간절연막 124; 제2콘택홀
126; 매립 콘택 128; 산화막
130; 음각패턴 132, 132a; 하부전극 금속막
132b; 하부전극 134; 강유전체 물질막
134a; 강유전막 136; 상부전극 금속막
136a; 상부전극 138; 캐패시터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<21> 본 발명은 강유전체 메모리 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자 및 그 제조방법에 관한 것이다.

<22> 주지된 바와 같이, 강유전체(Ferroelectric Material)는 임의의 온도 영역에서 외부 전기장(Applied Electric Field)이 없어도 자발적인 분극(Spontaneous



Polarization) 특성을 지닌다. 또한, 강유전체는 일정한 방향으로 분극된 상태에서 역방향의 전기장이 인가되면 분극이 역방향으로 반전되는 특성을 지니고 있다. 따라서, 강유전체는 전기장의 크기와 방향에 따라 일정한 이력 현상(Hysteresis)을 보이게 된다. 이력 현상을 갖는 강유전체를 유전막으로 이용하여 정보를 기입(Write)하고 판독(Read)하는 메모리 소자를 강유전체 메모리 (FRAM; Ferroelectric Random Access Memory) 소자라 하는데, 전원이 끊어지더라도 저장된 정보가 계속적으로 남아있는 비휘발성 특성을 지닌다. 이러한 강유전체 메모리 소자는 참조문헌 "Integration of Ferroelectric Capacitor Technology with CMOS (Moazzami et al.), 1994 Symposium on VLSI Technology Digest of Technical Papers (Tatsumi Sumi et al.), pp 55-56"과 "1994 IEEE International Solid-State Circuits Conference, p.268" 등에 이미 개시된 바 있다.

<23> 일반적인 강유전체 메모리 소자의 캐패시터는 이리듐이나 백금과 같은 귀금속류 및 그 산화물을 상하전극으로 이용하는데, 주로 평평한 하부전극 위에 졸-겔 방식, 스퍼터링, 또는 CVD 방식 등으로 형성된 강유전체 박막이 형성된 평면적 구조를 가진다. 여타의 다른 반도체 메모리 소자와 같이 고집적화 경향에 따라 강유전체 메모리 소자의 셀 면적이 작아지고, 캐패시터 할당 면적이 점점 축소되어 가고 있다. 따라서, 축소된 면적에도 불구하고 적절한 캐패시터 용량을 확보하기 위하여 캐패시터를 평면구조가 아닌 원통형이나 실린더형과 같은 입체적 구조로 형성할 필요가 있다.

<24> 원통형 캐패시터 구조에 대해서는 RAM RESEARCH사의 미합중국특허 제6,268,260호에 개시된 바 있으며, 실린더형 캐패시터 구조에 관해서는 IBM사의 미합중국특허 제6,238,963호에 개시된 바 있다. 이러한 입체적 구조를 가진 캐패시터는 기존의 평면구조를 가진 캐패시터가 안



고 있는 캐패시터 할당면적 한계 문제점을 보완하고 강유전막의 박막화 및 상하전극 물질의 박막화 한계를 극복할 수 있는 것으로 여겨지고 있다.

<25> 도 1은 종래 기술에 따른 원통형 캐패시터를 가지는 강유전체 메모리 소자를 도시한 단면도이다.

<26> 도 1을 참조하여, 종래 기술에 따른 강유전체 메모리 소자는 소자분리막(2) 사이의 기판(1)상에 게이트 전극을 포함하는 트랜지스터(3)가 형성되어 있고, 트랜지스터(3)의 소오스(5a)와 전기적으로 도통되는 비트라인(13)이 제1층간절연막(9)상에 형성되어 있고, 트랜지스터(3)의 드레인(5b)과 전기적으로 도통되는 원통형 캐패시터(25)가 제2층간절연막(15)상에 형성되어 있는 구조이다.

<27> 캐패시터(25)는 귀금속류의 하부전극(19)과 상부전극(23) 사이에 강유전막(21)이 삽입 개재되어 있는 구조를 이룬다. 그리고, 비트라인(13)은 다이렉트 콘택(11; Direct Contact)을 통해 소오스(5a)와 전기적으로 도통하며, 캐패시터(25)의 하부전극(19)은 매몰 콘택(17; Buried Contact)을 통해 드레인(5b)과 전기적으로 도통한다. 한편, 다이렉트 콘택(11; Direct Contact)은 제1콘택패드(7a)를 통해 소오스(5a)와 전기적으로 도통하며, 매몰 콘택(17)은 제2콘택패드(7b)를 통해 드레인(5b)과 전기적으로 도통한다.

<28> 여기서, 캐패시터(25)를 제조하기 위해선 귀금속류 물질의 증착과 패터닝으로 하부전극(19)을 형성하는 단계와, 하부전극(19)과 제2층간절연막(15)상에 강유전체의 증착으로 강유전막(21)을 형성하는 단계를 순차로 진행한다. 그러면, 강유전막(21) 형성시 강유전체의 식각을 피할 수 있어 식각에 따른 강유전특성의 열화가 방지되고 하부전극(19) 면적 증대로 캐패시터 용량이 증가하는 장점이 있다.



- <29> 도 2는 종래 기술에 따른 실린더형 캐패시터를 가지는 강유전체 메모리 소자를 도시한 단면도이다.
- <30> 도 2를 참조하여, 종래 기술에 따른 강유전체 메모리 소자의 다른 구현예는 캐패시터(25')를 제3층간절연막(18')상에 실린더 구조로 형성한 것이다. 그외는 도 1의 구조와 동일하므로 자세한 설명은 생략하기로 한다. 상기와 같이 캐패시터(25')를 실린더형으로 형성하게 되면 전극 표면적이 더욱 확대되므로 그만큼 캐패시터 용량이 증가하는 장점이 있다.
- <31> 그러나, 종래 기술에 따른 강유전체 메모리 소자를 제조하는데 있어서는 다음과 같은 문제점이 있다.
- <32> 도 1에 도시된 바와 같이, 캐패시터(25)의 하부전극(19)을 형성하기 위해선 귀금속류 물질을 두텁게 증착하는 과정과 두텁게 증착된 귀금속류 물질을 하부전극으로 패터닝하기 위한 식각 공정이 필요하다. 따라서, 귀금속류 물질을 두텁게 증착함에 따라 공정 비용이 상승하는 문제점이 있었다. 또한, 두텁게 증착된 귀금속류 물질을 패터닝하기가 공정상 용이하지 않다는 문제점도 있었다. 더불어, 상부전극이 하부전극에 대하여 오정렬되는 현상이 유발될 수 있는 문제점이 있다.
- <33> 그리고, 도 2에 도시된 바와 같이, 실린더형 캐패시터(25')를 구현하는데 있어서는 하부전극(19')을 형성하기 전에 제3층간절연막(18')을 일부 제거하여 먼저 홀(20')을 형성하여야 한다. 이때, 홀(20')의 종횡비(aspect ratio)가 크면 하부전극(19') 물질의 스텝 커버리지(step coverage) 특성에 따라 실린더형의 캐패시터(25') 형성이 어려울 수 있다는 문제점이 있다. 또한, 좁은 홀(20')내에 실린더형 캐패시터(25')를 형성하기 위해서는 하부전극(19')과 강유전막(21')과 상부전극(23')의 박막화가 요구되는 공정상의 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<34> 이에, 본 발명은 상기한 종래 기술상의 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 중횡비가 작은 음각패턴내에 캐패시터 하부전극 형상을 서로 마주보고 있는 대칭적인 반실린더형으로 형성함으로써 전극 표면적을 증가시킴과 동시에 박막화 한계와 식각 마진을 확보할 수 있는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자 및 그 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

<35> 상기 목적을 달성하기 위한 본 발명의 실시예1에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자는, 매립 콘택이 형성되어 있는 층간절연막; 상기 층간절연막상에 형성되어 있는 산화막; 적어도 2개의 매립 콘택 상면을 상기 산화막으로부터 개방시키는 음각패턴; 상기 개방된 적어도 2개의 매립 콘택 상면 각각과 접촉하며, 상기 음각패턴 내면에 형성되어 있는 적어도 2개의 하부전극; 및 상기 적어도 2개의 하부전극 상면 각각에 순차로 형성되어 있는 강유전막과 상부전극을 포함하는 것을 특징으로 한다.

<36> 상기 하부전극은, 상기 매립 콘택 상면과 접촉하는 수평전극분과, 상기 수평전극분으로부터 연장되어 상기 음각패턴 측벽에 형성되어 있는 수직전극분을 포함하는 것을 특징으로 한다.

<37> 상기 목적을 달성하기 위한 본 발명의 실시예1에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법은, 매립 콘택이 형성된 층간절연막상에 산화막을 형성하는 단계; 적어도 2개의 매립 콘택 상면을 개방시키는 음각패턴을 형성하는 단계; 상기 음각패턴 내면에 상기 개방된 적어도 2개의 매립 콘택 상면 각각과 접촉하는 적어도 2개의 하부전극을 형성하는

단계; 및 상기 적어도 2개의 하부전극 상면 각각에 강유전막과 상부전극을 순차로 형성하는 단계를 포함하는 것을 특징으로 한다.

<38> 상기 음각패턴을 형성하는 단계는, 상기 층간절연막 상면 일부와 상기 적어도 2개의 매립 콘택 상면이 노출되도록 상기 산화막을 일부 제거하는 것을 특징으로 한다.

<39> 상기 하부전극을 형성하는 단계는, 상기 산화막 상면과 상기 음각패턴 내면에 하부전극 금속막을 형성하는 단계; 상기 음각패턴 내면에만 하부전극 금속막이 잔류되도록 상기 산화막 상면에 형성된 하부전극 금속막을 제거하는 단계; 및 상기 적어도 2개의 매립 콘택 각각에 접촉하도록 상기 음각패턴 내면에 잔류된 하부전극 금속막을 분리시키는 단계를 더 포함하는 것을 특징으로 한다.

<40> 또한, 본 발명의 실시예1에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법은, 반도체 기판을 제공하는 단계; 상기 기판상에 트랜지스터를 형성하는 단계; 상기 트랜지스터가 형성된 기판상에 제1층간절연막을 형성하는 단계; 상기 제1층간절연막을 관통하여 상기 기판과 전기적으로 도통하는 다이렉트 콘택을 형성하는 단계; 상기 제1층간절연막상에 상기 다이렉트 콘택과 전기적으로 도통하는 비트라인을 형성하는 단계; 상기 제1층간절연막 전면상에 제2층간절연막을 형성하는 단계; 및 상기 제2층간절연막과 제1층간절연막을 관통하여 상기 기판과 전기적으로 도통하는 매립 콘택을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

<41> 본 발명의 실시예1에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법의 다른 구현예는, 매립 콘택이 형성된 층간절연막상에 산화막을 형성하는 단계; 적어도 2개의 매립 콘택을 개방시키는 음각패턴을 형성하는 단계; 상기 음각패턴 내면에 상기 개방된 적어도 2개의 매립 콘택 상면 모두와 접촉하는 하부전극 금속막을 형성하는 단계; 상기 하부전극



금속막이 형성된 음각패턴 내면과 상기 산화막 상면에 강유전체 물질막과 상부전극 금속막을 순차로 형성하는 단계; 및 상기 상부전극 금속막과 강유전체 물질막과 하부전극 금속막을 패터닝하여 상기 적어도 2개의 매립 콘택 각각에 접촉하는 하부전극과 강유전막과 상부전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<42> 상기 음각패턴을 형성하는 단계는, 상기 층간절연막 상면 일부와 상기 적어도 2개의 매립 콘택 상면이 노출되도록 상기 산화막을 일부 제거하는 것을 특징으로 한다.

<43> 상기 하부전극 금속막을 형성하는 단계는, 상기 산화막 상면과 상기 음각패턴 내면에 금속막을 형성하는 단계; 및 상기 음각패턴 내면에만 금속막이 잔류되도록 상기 산화막 상면에 형성된 금속막을 제거하는 단계를 더 포함하는 것을 특징으로 한다.

<44> 본 발명의 실시예1에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법의 다른 구현예는, 반도체 기판을 제공하는 단계; 상기 기판상에 트랜지스터를 형성하는 단계; 상기 트랜지스터가 형성된 기판상에 제1층간절연막을 형성하는 단계; 상기 제1층간절연막을 관통하여 상기 기판과 전기적으로 도통하는 다이렉트 콘택을 형성하는 단계; 상기 제1층간절연막상에 상기 다이렉트 콘택과 전기적으로 도통하는 비트라인을 형성하는 단계; 상기 제1층간절연막 전면상에 제2층간절연막을 형성하는 단계; 및 상기 제2층간절연막과 제1층간절연막을 관통하여 상기 기판과 전기적으로 도통하는 매립 콘택을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

<45> 상기 목적을 달성하기 위한 본 발명의 실시예2에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법은, 매립 콘택이 형성된 층간절연막상에 산화막을 형성하는 단계; 적어도 2개의 매립 콘택의 측면 일부와 상면을 개방시키는 2단 음각패턴을 형성하는 단계; 상기 2단 음각패턴 내면에 상기 개방된 적어도 2개의 매립 콘택의 측면 및 상면 각각과 접촉하는



적어도 2개의 하부전극을 형성하는 단계; 및 상기 적어도 2개의 하부전극 상면 각각에 강유전막과 상부전극을 순차로 형성하는 단계를 포함하는 것을 특징으로 한다.

<46> 상기 2단 음각패턴을 형성하는 단계는, 상기 2개의 매립 콘택 상면과 상기 층간절연막 상면이 개방되도록 상기 산화막 일부를 제거하는 단계; 및 상기 매립 콘택 측면 일부가 개방되도록 상기 개방된 층간절연막 상면 일부를 제거하는 단계를 더 포함하는 것을 특징으로 한다.

<47> 상기 하부전극을 형성하는 단계는, 상기 산화막 상면과 상기 2단 음각패턴 내면에 하부전극 금속막을 형성하는 단계; 상기 2단 음각패턴 내면에만 하부전극 금속막이 잔류되도록 상기 산화막 상면에 형성된 하부전극 금속막을 제거하는 단계; 및 상기 적어도 2개의 매립 콘택 측면 일부 및 상면 각각에 접촉하도록 상기 2단 음각패턴 내면에 잔류된 하부전극 금속막을 분리시키는 단계를 더 포함하는 것을 특징으로 한다.

<48> 또한, 본 발명의 실시예2에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법은, 반도체 기판을 제공하는 단계; 상기 기판상에 트랜지스터를 형성하는 단계; 상기 트랜지스터가 형성된 기판상에 제1층간절연막을 형성하는 단계; 상기 제1층간절연막을 관통하여 상기 기판과 전기적으로 도통하는 다이렉트 콘택을 형성하는 단계; 상기 제1층간절연막상에 상기 다이렉트 콘택과 전기적으로 도통하는 비트라인을 형성하는 단계; 상기 제1층간절연막 전면상에 제2층간절연막을 형성하는 단계; 및 상기 제2층간절연막과 제1층간절연막을 관통하여 상기 기판과 전기적으로 도통하는 매립 콘택을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

<49> 본 발명의 실시예2에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법의 다른 구현에는, 매립 콘택이 형성된 층간절연막상에 산화막을 형

성하는 단계; 적어도 2개의 매립 콘택의 측면 일부와 상면을 개방시키는 2단 음각패턴을 형성하는 단계; 상기 2단 음각패턴 내면에 상기 개방된 적어도 2개의 매립 콘택 측면 및 상면 모두와 접촉하는 하부전극 금속막을 형성하는 단계; 상기 하부전극 금속막이 형성된 2단 음각패턴 내면과 상기 산화막 상면에 강유전체 물질막과 상부전극 금속막을 순차로 형성하는 단계; 및 상기 상부전극 금속막과 강유전체 물질막과 하부전극 금속막을 패터닝하여 상기 적어도 2개의 매립 콘택 각각에 접촉하는 하부전극과 강유전막과 상부전극을 형성하는 것을 특징으로 한다.

<50> 상기 2단 음각패턴을 형성하는 단계는, 상기 적어도 2개의 매립 콘택 상면과 상기 층간절연막 상면이 개방되도록 상기 산화막 일부를 제거하는 단계; 및 상기 매립 콘택 측면 일부가 개방되도록 상기 개방된 층간절연막 상면 일부를 제거하는 단계를 더 포함하는 것을 특징으로 한다.

<51> 상기 하부전극 금속막을 형성하는 단계는, 상기 산화막 상면과 상기 2단 음각패턴 내면에 금속막을 형성하는 단계; 및 상기 2단 음각패턴 내면에만 금속막이 잔류되도록 상기 산화막 상면에 형성된 금속막을 제거하는 단계를 더 포함하는 것을 특징으로 한다.

<52> 또한, 본 발명의 실시예2에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법의 다른 구현예는, 반도체 기판을 제공하는 단계; 상기 기판상에 트랜지스터를 형성하는 단계; 상기 트랜지스터가 형성된 기판상에 제1층간절연막을 형성하는 단계; 상기 제1층간절연막을 관통하여 상기 기판과 전기적으로 도통하는 다이렉트 콘택을 형성하는 단계; 상기 제1층간절연막상에 상기 다이렉트 콘택과 전기적으로 도통하는 비트라인을 형성하는 단계; 상기 제1층간절연막 전면상에 제2층간절연막을 형성하는 단계; 및 상기 제2층간절연막과 제1층간절연막을 관통하여 상기 기판과 전기적으로 도통하는 매립 콘택을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

- <53> 본 발명에 의하면, 캐패시터를 3차원적 구조로 형성하여 종래의 평면적 캐패시터에 비하여 전극 표면적 증가에 따른 캐패시터 용량이 증대되고, 하부전극을 중횡비가 작은 음각패턴 내면에 대칭적인 형태로 형성함으로써 중횡비 감소에 따른 캐패시터의 상하부전극 및 강유전막의 박막화 한계와 식각공정의 공정마진이 확보된다.
- <54> 이하, 본 발명에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자 및 그 제조방법을 첨부한 도면을 참조하여 상세히 설명한다.
- <55> 본 발명은 여기서 설명되는 실시예에 한정되지 아니하고 다른 형태로 구체화될 수 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면에 있어서, 막 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 막이 다른 막 또는 기판 "상"에 있다고 언급되는 경우 그것은 다른 막 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 막이 개재될 수 있다. 명세서 전체에 걸쳐서 동일한 도면 부호들은 동일한 구성요소를 나타낸다.
- <56> 도 3은 본 발명의 실시예1에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자를 도시한 단면도이고, 도 4 내지 도 17은 본 발명의 실시예1에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법을 도시한 공정별 단면도이다.
- <57> 도 18은 본 발명의 실시예2에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자를 도시한 단면도이고, 도 19 내지 도 32는 본 발명의 실시예2에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법을 도시한 단면도이다.

<58> (실시예1)

<59> 본 발명의 실시예1에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자는, 도 3에 도시된 바와 같이, 트랜지스터(114)가 형성된 반도체 기판(100)과, 기판(100)상에 형성된 층간절연막(116b;이하, 제1층간절연막)과, 기판(100)과 전기적으로 도통하는 비트라인(120)과, 매립 콘택(126;buried contact)이 형성되어 있는 층간절연막(122a;이하 제2층간절연막)과, 제2층간절연막(122a)상에 형성되어 있는 산화막(128a)과, 적어도 2개의 매립 콘택(126) 상면을 산화막(128a)으로부터 개방시키는 음각패턴(130)과, 개방된 적어도 2개의 매립 콘택(126) 상면 각각과 접촉하며 음각패턴(130) 내에 대칭적으로 형성되어 있는 적어도 2개의 하부전극(132b)과, 적어도 2개의 하부전극(132b) 상면 각각에 순차로 형성되어 있는 강유전막(134a)과 상부전극(136a)을 포함하여 구성된다.

<60> 반도체 기판(100)은 소자분리막(102)에 의해 활성영역(active area)이 규정되며 활성영역상에는 트랜지스터(114)가 위치한다. 트랜지스터(114)는 게이트 절연막(104)과 게이트 전극(106)과 하드마스크(108)가 순차로 적층된 구조로서 그 양측면에는 게이트 스페이서(110)가 형성되어 있다. 또한, 트랜지스터(114)는 기판(100)에 대한 소정의 이온주입을 통해 형성된 소오스(112a)와 드레인(112b)을 포함하여 구성된다. 한편, 트랜지스터(114)는 필요에 따라 본 발명의 실시예와 달리 구성될 수 있음은 물론이다.

<61> 비트라인(120)은 제1층간절연막(116b)을 관통하여 형성된 다이렉트 콘택(119;direct contact)을 통해 기판(100), 구체적으로는 소오스(112a)와 전기적으로 도통한다. 한편, 다이렉트 콘택(119)은 소오스(112a)상에 형성된 콘택패드(115a)를 통해 소오스(112a)와 전기적으로 도통할 수 있다.



- <62> 매몰 콘택(126;buried contact)은 하부전극(132b)과 기판(100), 구체적으로 드레인(112b)을 전기적으로 도통시키는 수단으로서 제1층간절연막(116b)과 제2층간절연막(122a)을 관통하여 형성되어 있다. 매몰 콘택(126)은 드레인(112b)상에 형성된 콘택패드(115b)를 통해 드레인(112b)과 전기적으로 도통할 수 있다.
- <63> 하부전극(132b)과 강유전막(134a)과 상부전극(136a)은 순차로 적층되어 캐패시터(138)를 이룬다. 하부전극(132b)과 상부전극(136a)은 백금과 이리듐과 같은 귀금속류 물질로 이루어져 있으며, 강유전막(134a)은 PZT (Lead Zirconium Titrate), SBT (Strontium Barium Tantalum), SBTN (Strontium Barium Tantalum Nitride), SBTT (Strontium Barium Tantalum Titanate) 등과 같은 강유전체로 이루어져 있다.
- <64> 여기서, 하부전극(132b)은 음각패턴(130) 내에서 서로 대칭을 이루도록 형성되어 있다. 하부전극(132b)의 구체적인 형태는 다음과 같이 매립 콘택(126)의 상면과 접촉하는 수평전극분(132b₁)과, 수평전극분(132b₁)으로부터 연장되어 음각패턴(130) 측벽을 이루는 산화막(128a)에 형성된 수직전극분(132b₂)으로 이루어져 있다. 즉, 하부전극(132b)은 마치 다리없는 의자모양과 같은 'L'자 형태를 이루며, 음각패턴(130)내에서 대칭을 이루어 서로 마주보고 있는 형상을 이룬다.
- <65> 그리고, 각각의 하부전극(132b) 상에는 강유전막(134a)과 상부전극(136a)이 순차 적층되어 있어 음각패턴(130) 내에는 적어도 2개의 캐패시터(138)가 서로 대칭을 이루도록 형성되어 있다. 따라서, 전체적으로는 음각패턴(130) 내에 적어도 2개의 반실린더형 캐패시터(138)가 서로 대칭을 이루도록 형성되어 있다.

- <66> 이와 같이, 캐패시터(138)는 반실린더형을 이루므로 평면적 형태에 비하여 전극표면적이 증가하게 된다. 캐패시터의 용량은 전극표면적에 비례하므로 결과적으로 캐패시터의 용량이 증가하게 된다.
- <67> 또한, 캐패시터(138)를 이루는 하부전극(132b)과 강유전막(134a)과 상부전극(136a)은 적어도 2개의 매립 콘택(126)을 산화막(128a)으로부터 개방시키는 종횡비가 작은 음각패턴(130) 내에 형성되어 있다. 따라서, 본 실시예는 종횡비의 큰 음각패턴 내에서의 증착 및 패터닝시의 공정상의 어려움을 피할 수 있는 구조이다.
- <68> 이하, 본 발명의 실시예1에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법을 도 4 내지 도 13을 참조하여 설명한다.
- <69> 본 발명의 실시예1에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법은, 도 4에 도시된 바와 같이, 먼저 실리콘(Si)과 같은 반도체 원소로 구성된 반도체 기판(100)을 준비한 다음, 트렌치 형성법 등으로 소자분리막(102)을 형성하여 활성영역(Active Region)을 정의한다.
- <70> 그런다음, 소자분리막(102)에 의해 정의된 기판(100)의 활성영역상에 워드라인(Word Line)으로서 트랜지스터(114)를 형성한다. 트랜지스터(114)는 게이트 절연막(104)과 게이트 전극(106)과 하드마스크(108)와 게이트 스페이서(110)와 소오스(112a)와 드레인(112b)을 형성하여 정의한다. 트랜지스터(114)는 상기한 구성요소 이외에 LDD (Lightly Doped Drain)나 2중 게이트 스페이서와 같은 다른 구성요소를 더 형성할 수 있으며, 또한 하드마스크(108)를 형성하

지 않는 등 본 실시예의 트랜지스터(114)와는 상이한 구조로 구현할 수 있다. 한편, 트랜지스터(114) 사이의 기판(100)상에 콘택 패드(115a)(115b)를 더 형성할 수 있다.

<71> 이어서, 트랜지스터(114)가 형성된 기판(100)상에 층간절연막(116;이하, 제1층간절연막)을 형성한다. 제1층간절연막(116)은 통상적인 화학기상증착법(CVD) 등을 이용하여 실리콘 산화막과 같은 절연성 물질을 트랜지스터(114)가 완전히 피복되도록 하는 두께로 증착하여 형성한다.

<72> 다음으로, 도 5에 도시된 바와 같이, 소오스(112a) 위에 형성된 콘택패드(115a)가 노출되도록 이방성 식각 등으로 제1층간절연막(116)을 일부 제거한다. 그리하여, 일부 식각된 제1층간절연막(116a)을 관통하는 제1콘택홀(118)을 형성하고, 제1콘택홀(118)을 전도체로 매립하여 다이렉트 콘택(119;direct contact)을 형성한다.

<73> 그런다음, 전도체의 증착과 패터닝 등으로 다이렉트 콘택(119)과 접촉하며 강유전체 메모리 소자의 데이터 라인 기능을 하는 비트라인(120)을 제1층간절연막(116a) 상에 형성한다.

<74> 계속하여, 비트라인(120)이 형성되어 있는 제1층간절연막(116a) 상에 또 다른 층간절연막(122;이하, 제2층간절연막)을 형성한다. 제2층간절연막(122)의 형성도 제1층간절연막(116)형성의 경우와 마찬가지로 통상적인 화학기상증착법(CVD) 등을 이용하여 실리콘 산화막 등을 비트라인(120)이 완전히 피복되도록 하는 두께로 증착하여 형성한다.

<75> 이어서, 도 6에 도시된 바와 같이, 플라즈마 건식과 같은 이방성 식각을 이용하여 드레인(112b)상에 형성된 콘택패드(115b)가 노출되도록 제2층간절연막(122)과 제1층간절연막(116a)을 선택적으로 제거한다. 그결과, 선택적으로 그 일부가 제거된 제2층간절연막(122a)과 제1층간절연막(116b)을 관통하는 제2콘택홀(124)이 형성된다. 그런다음, 폴리실리콘이나 텅스텐과

같은 금속 등의 전도성 물질로써 제2콘택홀(124)을 매립하여 드레인(112b)상에 형성된 콘택패드(115b)를 통해 기판(100), 구체적으로 드레인(112b)과 전기적으로 도통하는 매립 콘택(126;buried contact)을 형성한다.

<76> 그다음, 도 7에 도시된 바와 같이, 매립 콘택(126)이 형성된 제2층간절연막(122a)상에 산화막(128)을 형성한다. 예를들어, 통상적인 화학기상증착법(CVD) 등으로 이산화실리콘과 같은 산화물을 증착시켜 산화막(128)을 형성한다.

<77> 다음으로, 도 8에 도시된 바와 같이, 제2층간절연막(122a) 상면 일부와 적어도 2개의 매립 콘택(126) 상면이 노출되도록 산화막(128)을 일부 식각한다. 그리하여, 적어도 2개의 매립 콘택(126) 상면을 개방시키는 음각패턴(130)을 형성한다. 이때 음각패턴(130)은 개방된 층간절연막(122a) 상면과 적어도 2개의 매립 콘택(126) 상면으로 바닥면을 이루고, 일부 식각된 산화막(128a)으로 측벽을 이루는 종횡비(aspect ratio)가 작은 음각의 납작한 원반 모양으로 형성된다.

<78> 그런다음, 개방된 적어도 2개의 매립 콘택(126) 각각과 접촉하는 적어도 2개의 캐패시터(도 13의 138, 또는 도 17의 138 참조)를 음각패턴(130) 내에 형성하는데, 이에는 도 9 내지 도 13에 도시된 바와 같은 첫번째 방법인 선분리 공정과 도 14 내지 도 17에 도시된 바와 같은 두번째 방법인 후분리 공정을 선택적으로 적용할 수 있다.

<79> 선분리 공정 또는 후분리 공정이라는 것은 하나의 하부전극 금속막을 두개의 하부전극으로 분리하는 공정을 강유전막과 상부전극 형성을 위한 증착 및 패터닝 공정 이전에 하느냐 아니면 그후에 하느냐에 따라 임의적으로 명명된 것이다.

<80> 캐패시터를 형성하는 첫번째 방법인 선분리 공정을 도 9 내지 13을 참조하여 설명한다.

- <81> 캐패시터를 형성하는 첫번째 방법인 선분리 공정은, 도 9에 도시된 바와 같이, 먼저 산화막(128a) 상면과 음각패턴(130) 내면에 백금과 이리듐과 같은 귀금속류 물질을 증착하여 하부전극 금속막(132)을 형성한다.
- <82> 그런다음, 도 10에 도시된 바와 같이, 산화막(128a) 상면에 형성된 하부전극 금속막(132)을 화학기계적 연마(CMP) 등을 이용하여 선택적으로 제거한다. 그리하여, 음각패턴(130) 내면에만 하부전극 금속막(132a)이 잔류하도록 한다. 이때의 하부전극 금속막(132a)은 적어도 2개의 매립 콘택(126) 상면 모두와 접촉되어 있게 된다.
- <83> 이어서, 도 11에 도시된 바와 같이, 하부전극 금속막(132a)의 중앙부를 식각 공정으로 제거하여, 적어도 2개의 매립 콘택(126) 각각과 접촉하는 적어도 2개의 하부전극(132b)을 형성한다. 즉, 적어도 2개의 매립 콘택(126) 모두와 접촉되어 있던 하부전극 금속막(132a)을 각각 1개의 매립 콘택(126)과 접촉하는 하부전극(132b) 2개로 분리 형성하는 것이다.
- <84> 이때 형성되는 하부전극(132b)은 매립 콘택(126)의 상면과 접촉하는 수평전극분(132b₁)과, 수평전극분(132b₁)으로부터 연장되어 음각패턴(130) 측벽을 이루는 산화막(128a)에 형성된 수직전극분(132b₂)으로 이루어져 있다. 즉, 하부전극(132b)은 마치 다리없는 의자모양과 같은 'L'자 형태로 형성된다. 이를 평면적으로 도시한 도 12를 참조하면, 매립 콘택(126)과 접촉하는 하부전극(132b)은 음각패턴(130) 내에서 대칭을 이루어 서로 마주보고 있는 형상을 이룬다.
- <85> 그다음, 도 13에 도시된 바와 같이, 선분리된 적어도 2개의 하부전극(132b) 상면 각각에 증착과 패터닝 공정을 통해 강유전막(134a)과 상부전극(136a)을 순차로 형성한다. 그리하여, 전체적으로는 음각패턴(130) 내에 적어도 2개의 반실린더형 캐패시터(138)가 서로 대칭을 이루도록 형성한다. 강유전막(134a)으로는 PZT (Lead Zirconium Titrate), SBT (Strontium Barium Tantalum), SBTN (Strontium Barium Tantalum Nitride), SBTT (Strontium Barium Tantalum

Titanate) 등과 같은 강유전체를 증착하여 형성하고, 상부전극(136a)은 백금이나 이리듐과 같은 귀금속류 물질을 증착하여 형성한다.

- <86> 이때의 캐패시터(138) 형성을 위한 증착과 패터닝 공정은 종횡비(aspect ratio)가 작은 음각패턴(130) 내에서 이루어진다. 따라서, 종횡비가 큰 음각패턴 내에서의 증착과 패터닝 공정보다는 훨씬 용이하게 캐패시터 형성공정을 진행할 수 있게 된다.
- <87> 캐패시터를 형성하는 두번째 방법인 후분리 공정을 도 14 내지 17을 참조하여 설명한다.
- <88> 캐패시터를 형성하는 두번째 방법인 후분리 공정은, 도 14에 도시된 바와 같이, 먼저 산화막(128a) 상면과 음각패턴(130) 내면에 백금과 이리듐과 같은 귀금속류 물질을 증착하여 하부전극 금속막(132)을 형성한다.
- <89> 그런다음, 도 15에 도시된 바와 같이, 산화막(128a) 상면에 형성된 하부전극 금속막(132)을 화학기계적 연마(CMP) 등을 이용하여 선택적으로 제거한다. 그리하여, 음각패턴(130) 내면에만 하부전극 금속막(132a)이 잔류하도록 한다. 이때의 하부전극 금속막(132a)은 적어도 2개의 매립 콘택(126) 상면 모두와 접촉되어 있게 된다.
- <90> 다음으로, 도 16에 도시된 바와 같이, 하부전극 금속막(132a)이 형성된 음각패턴(130) 내면과 산화막(128a) 상면에 강유전체 물질막(134)과 상부전극 금속막(136)을 순차로 형성한다. 강유전체 물질막(134)은 PZT (Lead Zirconium Titanate), SBT (Strontium Barium Tantalum), SBTN (Strontium Barium Tantalum Nitride), SBTT (Strontium Barium Tantalum Titanate) 등과 같은 강유전체를 증착하여 형성하고, 상부전극 금속막(136)은 백금이나 이리듐과 같은 귀금속류 물질을 증착하여 형성한다. 이때의 증착 공정은 종횡비가 작은 음각패턴(130) 내에서 이

루어지므로 종횡비가 큰 음각패턴 내에서의 증착 공정보다는 훨씬 용이하게 진행될 수 있게 된다.

<91> 다음으로, 도 17에 도시된 바와 같이, 상부전극 금속막(136)과 강유전체 물질막(134)과 하부전극 금속막(134)을 패터닝한다. 그리하여, 적어도 2개의 매립 콘택(126) 상면 각각과 접촉하는 하부전극(132b)을 적어도 2개로 후분리하여 형성하고, 적어도 2개의 하부전극(132b)상에 순차적으로 적층된 강유전막(134a)과 상부전극(136a)으로 이루어지는 적어도 2개의 캐패시터(138)를 음각패턴(130) 내에 형성한다. 그결과, 전체적으로는 음각패턴(130) 내에 적어도 2개의 반실린더형 캐패시터(138)가 서로 대칭을 이루도록 형성된다. 후분리된 하부전극(132b)은 음각패턴(130) 내에서 대칭을 이루어 서로 마주보고 있는 형상을 이루는데, 이는 도 12에 도시된 바와 같다.

<92> 한편, 이때의 패터닝 공정은 종횡비(aspect ratio)가 작은 음각패턴(130) 내에서 이루어진다. 따라서, 종횡비가 큰 음각패턴 내에서의 패터닝 공정보다는 훨씬 용이하게 패터닝 공정을 진행할 수 있게 된다.

<93> (실시예2)

<94> 본 발명의 실시예2에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자는, 도 18에 도시된 바와 같이, 트랜지스터(214)가 형성된 반도체 기판(200)과, 기판(200)상에 형성된 층간절연막(216b;이하, 제1층간절연막)과, 기판(200)과 전기적으로 도통하는 비트라인(220)과, 매립 콘택(226;buried contact)이 형성되어 있는 층간절연막(222a;이하 제2층간절연막)과, 제2층간절연막(222a)상에 형성되어 있는 산화막(228a)과, 적어도 2개의 매립 콘택(226)의 측면 일



부와 상면을 산화막(228a)으로부터 개방시키는 2단 음각패턴(230a)과, 개방된 적어도 2개의 매립 콘택(226)의 측면 일부와 상면 각각과 접촉하며 2단 음각패턴(230a) 내에 대칭적으로 형성되어 있는 적어도 2개의 하부전극(232b)과, 적어도 2개의 하부전극(232b) 상면 각각에 순차로 형성되어 있는 강유전막(234a)과 상부전극(236a)을 포함하여 구성된다.

<95> 반도체 기판(200)은 소자분리막(202)에 의해 활성영역(active area)이 규정되며 활성영역상에는 트랜지스터(214)가 위치한다. 트랜지스터(214)는 게이트 절연막(204)과 게이트 전극(206)과 하드마스크(208)가 순차로 적층된 구조로서 그 양측면에는 게이트 스페이서(210)가 형성되어 있다. 또한, 트랜지스터(214)는 기판(200)에 대한 소정의 이온주입을 통해 형성된 소오스(212a)와 드레인(212b)을 포함하여 구성된다. 한편, 트랜지스터(214)는 필요에 따라 본 발명의 실시예와 달리 구성될 수 있음은 물론이다.

<96> 비트라인(220)은 제1층간절연막(216b)을 관통하여 형성된 다이렉트 콘택(219;direct contact)을 통해 기판(200), 구체적으로는 소오스(212a)와 전기적으로 도통한다. 한편, 다이렉트 콘택(219)은 소오스(212a)상에 형성된 콘택패드(215a)를 통해 소오스(212a)와 전기적으로 도통할 수 있다.

<97> 매립 콘택(226;buried contact)은 하부전극(232b)과 기판(200), 구체적으로 드레인(212b)을 전기적으로 도통시키는 수단으로서 제1층간절연막(216b)과 제2층간절연막(222a)을 관통하여 형성되어 있다. 매립 콘택(226)은 드레인(212b) 상에 형성된 콘택패드(215b)를 통해 드레인(212b)과 전기적으로 도통할 수 있다. 그리고, 매립 콘택(226) 사이의 제2층간절연막(222b)은 매립 콘택(226) 바깥쪽에 형성되어 있는 제2층간절연막(222a) 보다 표면이 낮다.

<98> 하부전극(232b)과 강유전막(234a)과 상부전극(236a)은 순차로 적층되어 캐패시터(238)를 이룬다. 하부전극(232b)과 상부전극(236a)은 백금과 이리듐과 같은 귀금속류 물질로 이루어져



있으며, 강유전막(234a)은 PZT (Lead Zirconium Titanate), SBT (Strontium Barium Tantalum), SBTN (Strontium Barium Tantalum Nitride), SBTT (Strontium Barium Tantalum Titanate) 등과 같은 강유전체로 이루어져 있다.

<99> 여기서, 하부전극(232b)은 2단 음각패턴(230a) 내에서 서로 대칭을 이루도록 형성되어 있다. 하부전극(232b)의 구체적인 형태는 다음과 같이 매립 콘택(226)의 측면 일부와 접촉하는 제1수직전극분(232b₁)과, 제1수직전극분(232b₁)으로부터 연장되어 매립 콘택(226)의 상면과 접촉하는 수평전극분(232b₂)과, 수평전극분(232b₂)으로부터 연장되어 2단 음각패턴(230a)의 측벽에 형성되어 있는 제2수직전극분(232b₃)을 포함하여 이루어져 있다. 즉, 하부전극(232b)은 직각으로 꺾이는 절곡부가 적어도 2곳이 있는 2중 굴절형을 이루며, 2단 음각패턴(230a) 내에서 대칭을 이루어 서로 마주보고 있는 형상을 이룬다. 또한, 2중 굴절형의 하부전극(232b)은 2단 음각패턴(230a) 측벽에 형성된 제2수직전극분(232b₂) 이외에 매립 콘택(226)의 측면 일부에도 제1수직전극분(232b₁)을 포함하므로 전극표면적이 그만큼 확대되어 있다.

<100> 그리고, 각각의 하부전극(232b) 상에는 강유전막(234a)과 상부전극(236a)이 순차 적층되어 있어 2단 음각패턴(230a) 내에는 적어도 2개의 캐패시터(238)가 서로 대칭을 이루도록 형성되어 있다. 따라서, 전체적으로는 2단 음각패턴(230a) 내에 적어도 2개의 반실린더형 캐패시터(238)가 서로 대칭을 이루도록 형성되어 있다.

<101> 이와 같이, 캐패시터(238)는 반실린더형을 이루므로 평면적 형태에 비하여 전극표면적이 증가하게 된다. 캐패시터의 용량은 전극표면적에 비례하므로 결과적으로 캐패시터의 용량이 증가하게 된다.

- <102> 또한, 캐패시터(238)를 이루는 하부전극(232b)과 강유전막(234a)과 상부전극(236a)은 적어도 2개의 매립 콘택(226)을 산화막(228a)으로부터 개방시키는 중횡비가 작은 2단 음각패턴(230a) 내에 형성되어 있다. 따라서, 본 실시예는 중횡비가 큰 음각패턴 내에서의 증착과 패터닝 공정의 어려움을 피할 수 있는 구조이다.
- <103> 이하, 본 발명의 실시예2에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법을 도 19 내지 도 32를 참조하여 설명한다.
- <104> 본 발명의 실시예2에 따른 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법은, 도 19에 도시된 바와 같이, 먼저 실리콘(Si)과 같은 반도체 원소로 구성된 반도체 기판(200)을 준비한 다음, 트렌치 형성법 등으로 소자분리막(202)을 형성하여 활성영역(Active Region)을 정의한다.
- <105> 그런다음, 소자분리막(202)에 의해 정의된 기판(200)의 활성영역상에 워드라인(Word Line)으로서 트랜지스터(214)를 형성한다. 트랜지스터(214)는 게이트 절연막(204)과 게이트 전극(206)과 하드마스크(208)와 게이트 스페이서(210)와 소오스(212a)와 드레인(212b)을 형성하여 정의한다. 트랜지스터(214)는 상기한 구성요소 이외에 LDD (Lightly Doped Drain)나 2중 게이트 스페이서와 같은 다른 구성요소를 더 형성할 수 있으며, 또한 하드마스크(208)를 형성하지 않는 등 본 실시예의 트랜지스터(214)와는 상이한 구조로 구현할 수 있다. 한편, 트랜지스터(214) 사이의 기판(200) 상에 콘택 패드(215a)(215b)를 더 형성할 수 있다.
- <106> 이어서, 트랜지스터(214)가 형성된 기판(200) 상에 층간절연막(216;이하, 제1층간절연막)을 형성한다. 제1층간절연막(216)은 통상적인 화학기상증착법(CVD) 등을 이용하



여 실리콘 산화막과 같은 절연성 물질을 트랜지스터(214)가 완전히 피복되도록 하는 두께로 증착하여 형성한다.

<107> 다음으로, 도 20에 도시된 바와 같이, 소오스(212a) 위에 형성된 콘택패드(215a)가 노출되도록 이방성 식각 등으로 제1층간절연막(216)을 일부 제거한다. 그리하여, 일부 식각된 제1층간절연막(216a)을 관통하는 제1콘택홀(218)을 형성하고, 제1콘택홀(218)을 전도체로 매립하여 다이렉트 콘택(219;direct contact)을 형성한다.

<108> 그런다음, 전도체의 증착과 패터닝 등으로 다이렉트 콘택(219)과 접촉하며 강유전체 메모리 소자의 데이터 라인 기능을 하는 비트라인(220)을 제1층간절연막(216a)상에 형성한다.

<109> 계속하여, 비트라인(220)이 형성되어 있는 제1층간절연막(216a)상에 또 다른 층간절연막(222;이하, 제2층간절연막)을 형성한다. 제2층간절연막(222)의 형성도 제1층간절연막(216) 형성의 경우와 마찬가지로 통상적인 화학기상증착법(CVD) 등을 이용하여 실리콘 산화막 등을 비트라인(220)이 완전히 피복되도록 하는 두께로 증착하여 형성한다.

<110> 이어서, 도 21에 도시된 바와 같이, 플라즈마 건식과 같은 이방성 식각을 이용하여 드레인(212b)상에 형성된 콘택패드(215b)가 노출되도록 제2층간절연막(222)과 제1층간절연막(216a)을 선택적으로 제거한다. 그결과, 선택적으로 그 일부가 제거된 제2층간절연막(222a)과 제1층간절연막(216b)을 관통하는 제2콘택홀(224)이 형성된다. 그런다음, 폴리실리콘이나 텅스텐과 같은 금속 등의 전도성 물질로써 제2콘택홀(224)을 매립하여 드레인(212b)상에 형성된 콘택패드(215b)를 통해 기판(200), 구체적으로 드레인(212b)과 전기적으로 도통하는 매립 콘택(226;buried contact)을 형성한다.

- <111> 그다음, 도 22에 도시된 바와 같이, 매립 콘택(226)이 형성된 제2층간절연막(222a) 상에 산화막(228)을 형성한다. 예를들어, 통상적인 화학기상증착법(CVD) 등으로 이산화실리콘과 같은 산화물을 증착시켜 산화막(228)을 형성한다.
- <112> 다음으로, 도 23에 도시된 바와 같이, 제2층간절연막(222a) 상면 일부와 적어도 2개의 매립 콘택(226) 상면이 노출되도록 산화막(228)을 일부 식각한다. 그리하여, 적어도 2개의 매립 콘택(226) 상면을 개방시키는 음각패턴(230)을 형성한다. 이때 음각패턴(230)은 개방된 층간절연막(222a) 상면과 적어도 2개의 매립 콘택(226) 상면으로 바닥면을 이루고, 일부 식각된 산화막(228a)으로 측벽을 이루는 종횡비(aspect ratio)가 작은 음각의 납작한 원반 모양으로 형성된다.
- <113> 이어서, 도 24에 도시된 바와 같이, 적어도 2개의 매립 콘택(226)의 측면 일부가 개방되도록 개방된 층간절연막(222a) 상면 일부를 더 식각하여, 적어도 2개의 매립 콘택(226) 사이의 제2층간절연막(222b)의 표면이 매립 콘택(226) 바깥쪽에 형성된 제2층간절연막(222a)의 표면보다 낮아지게 한다. 그리하여, 산화막(228a) 사이의 제1폭(W_1)이 일부가 개방된 매립 콘택(226) 사이의 제2폭(W_2)보다 넓은 형태를 갖는 2단 음각패턴(230a)을 형성한다.
- <114> 그런다음, 개방된 적어도 2개의 매립 콘택(226) 각각과 접촉하는 적어도 2개의 캐패시터(도 28의 238, 또는 도 32의 238 참조)를 2단 음각패턴(230a) 내에 형성하는데, 이에 는 도 25 내지 도 28에 도시된 바와 같은 첫번째 방법인 선분리 공정과 도 29 내지 도 32에 도시된 바와 같은 두번째 방법인 후분리 공정을 선택적으로 적용할 수 있다.

- <115> 선분리 공정 또는 후분리 공정이라는 것은 하나의 하부전극 금속막을 두개의 하부전극으로 분리하는 공정을 강유전막과 상부전극 형성을 위한 증착 및 패터닝 공정 이전에 하느냐 아니면 그후에 하느냐에 따라 붙여진 것이다.
- <116> 캐패시터를 형성하는 첫번째 방법인 선분리 공정을 도 25 내지 28을 참조하여 설명한다.
- <117> 캐패시터를 형성하는 첫번째 방법인 선분리 공정은, 도 25에 도시된 바와 같이, 먼저 산화막(228a) 상면과 2단 음각패턴(230a) 내면에 백금과 이리듐과 같은 귀금속류 물질을 증착하여 하부전극 금속막(232)을 형성한다.
- <118> 그런다음, 도 26에 도시된 바와 같이, 산화막(228a) 상면에 증착된 하부전극 금속막(232)을 화학기계적 연마(CMP) 등을 이용하여 선택적으로 제거한다. 그리하여, 2단 음각패턴(230a) 내면에만 하부전극 금속막(232a)이 잔류하도록 한다. 이때의 하부전극 금속막(232a)은 개방된 적어도 2개의 매립 콘택(226)의 측면 및 상면 모두와 접촉되어 있게 된다.
- <119> 이어서, 도 27에 도시된 바와 같이, 하부전극 금속막(232a)의 중앙부를 식각 공정으로 제거하여, 적어도 2개의 매립 콘택(226) 각각과 접촉하는 적어도 2개의 하부전극(232b)을 형성한다. 즉, 적어도 2개의 매립 콘택(226) 모두와 접촉되어 있던 하부전극 금속막(232a)을 각각 1개씩의 매립 콘택(226)과 접촉하는 적어도 2개의 하부전극(232b)으로 분리 형성하는 것이다.
- <120> 이때 형성되는 하부전극(232b)은 개방된 매립 콘택(226)의 측면과 접촉하는 제1수직전극분(232b₁)과, 제1수직전극분(232b₁)으로부터 연장되어 개방된 매립 콘택(226)의 상면과 접촉하는 수평전극분(232b₂)과, 수평전극분(232b₂)으로부터 연장되어 2단 음각패턴(230a) 측벽을 이루는 산화막(228a)에 형성된 제2수직전극분(232b₃)으로 이루어져 있다. 즉, 하부전극(232b)은 직각으로 꺾이는 절곡부가 적어도 2곳이 있는 2중 굴절형을 이루며, 2단 음각패턴(230a) 내에

서 대칭을 이루어 서로 마주보고 있는 형상을 이룬다. 또한, 2중 굴절형의 하부전극(232b)은 2단 음각패턴(230a) 측벽에 형성된 제2수직전극분(232b₂) 이외에 매립 콘택(226)의 측면 일부에도 제1수직전극분(232b₁)을 포함하므로 전극표면적이 확대된다.

<121> 그다음, 도 28에 도시된 바와 같이, 선분리된 적어도 2개의 하부전극(232b) 상면 각각에 증착과 패터닝 공정을 통해 강유전막(234a)과 상부전극(236a)을 순차로 형성한다. 그리하여, 전체적으로는 2단 음각패턴(230a) 내에 적어도 2개의 반실린더형 캐패시터(238)가 서로 대칭을 이루도록 형성한다. 강유전막(234a)으로는 PZT (Lead Zirconium Titrate), SBT (Strontium Barium Tantalum), SBTN (Strontium Barium Tantalum Nitride), SBTB (Strontium Barium Tantalum Titanate) 등과 같은 강유전체를 증착하여 형성하고, 상부전극(236a)은 백금이나 이리듐과 같은 귀금속류 물질을 증착하여 형성한다.

<122> 이때의 캐패시터(238) 형성을 위한 증착과 패터닝 공정은 종횡비(aspect ratio)가 작은 2단 음각패턴(230a) 내에서 이루어진다. 따라서, 종횡비가 큰 음각패턴 내에서의 증착과 패터닝 공정보다는 훨씬 용이하게 캐패시터 형성공정을 진행할 수 있게 된다.

<123> 캐패시터를 형성하는 두번째 방법인 후분리 공정을 도 29 내지 33를 참조하여 설명한다.

<124> 캐패시터를 형성하는 두번째 방법인 후분리 공정은, 도 29에 도시된 바와 같이, 먼저 산화막(228a) 상면과 2단 음각패턴(230a) 내면에 백금과 이리듐과 같은 귀금속류 물질을 증착하여 하부전극 금속막(232)을 형성한다.

<125> 그런다음, 도 30에 도시된 바와 같이, 산화막(228a) 상면에 형성된 하부전극 금속막(232)을 화학기계적 연마(CMP) 등을 이용하여 선택적으로 제거한다. 그리하여, 2단 음각패턴

(230a) 내면에만 하부전극 금속막(232a)이 잔류하도록 한다. 이때의 하부전극 금속막(232a)은 적어도 2개의 매립 콘택(226) 모두와 접촉되어 있게 된다.

<126> 다음으로, 도 31에 도시된 바와 같이, 하부전극 금속막(232a)이 형성된 2단 음각패턴 (230a) 내면과 산화막(228a) 상면에 강유전체 물질막(234)과 상부전극 금속막(236)을 순차로 형성한다. 강유전체 물질막(134)은 PZT (Lead Zirconium Titanate), SBT (Strontium Barium Tantalum), SBTN (Strontium Barium Tantalum Nitride), SBTT (Strontium Barium Tantalum Titanate) 등과 같은 강유전체를 증착하여 형성하고, 상부전극 금속막(236)은 백금이나 이리듐 과 같은 귀금속류 물질을 증착하여 형성한다. 이때의 증착 공정은 종횡비가 작은 2단 음각패턴(230a)에서 이루어지므로 종횡비가 큰 음각패턴 내에서의 증착 공정보다는 훨씬 용이 하게 진행될 수 있게 된다.

<127> 다음으로, 도 32에 도시된 바와 같이, 상부전극 금속막(236)과 강유전체 물질막(234)과 하부전극 금속막(234)을 패터닝한다. 그리하여, 개방된 매립 콘택(226)의 측면과 상면과 접촉 하는 하부전극(232b)을 후분리하여 적어도 2개 형성하고, 적어도 2개의 하부전극(232b) 상에 순차적으로 적층된 강유전막(234a)과 상부전극(236a)으로 이루어지는 적어도 2개의 캐패시터 (238)를 2단 음각패턴(230a) 내에 형성한다. 그결과, 전체적으로는 2단 음각패턴(230a) 내에 적어도 2개의 반실린더형 캐패시터(238)가 서로 대칭을 이루도록 형성된다. 후분리된 하부전극 (232b)은 2단 음각패턴(230a) 내에서 대칭을 이루어 서로 마주보고 있는 형상을 이룬다.

<128> 한편, 이때의 패터닝 공정은 종횡비(aspect ratio)가 작은 2단 음각패턴(230a) 내에서 이루어진다. 따라서, 종횡비가 큰 음각패턴 내에서의 패터닝 공정보다는 훨씬 용이하게 패터닝 공정을 진행할 수 있게 된다.

**【발명의 효과】**

<129> 이상에서 설명한 바와 같이, 본 발명에 따르면, 캐패시터를 3차원적 구조로 형성하여 종래의 평면적 캐패시터에 비하여 전극 표면적 증가에 따른 캐패시터 용량의 증대 효과와, 하부 전극을 중횡비가 작은 음각패턴 내면에 대칭적인 형태로 형성함으로써 중횡비 감소에 따른 캐패시터의 상하부 전극 및 강유전막의 박막화 한계와 식각공정의 공정마진이 확보되는 효과가 있다.



【특허청구범위】

【청구항 1】

매립 콘택이 형성된 층간절연막상에 산화막을 형성하는 단계;

적어도 2개의 매립 콘택 상면을 개방시키는 음각패턴을 형성하는 단계;

상기 음각패턴 내면에 상기 개방된 적어도 2개의 매립 콘택 상면 각각과 접촉하는 적어도 2개의 하부전극을 형성하는 단계; 및

상기 적어도 2개의 하부전극 상면 각각에 강유전막과 상부전극을 순차로 형성하는 단계를 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법.

【청구항 2】

제1항에 있어서,

상기 음각패턴을 형성하는 단계는,

상기 층간절연막 상면 일부와 상기 적어도 2개의 매립 콘택 상면이 노출되도록 상기 산화막을 일부 제거하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법.

【청구항 3】

제1항에 있어서,

상기 하부전극을 형성하는 단계는,

상기 산화막 상면과 상기 음각패턴 내면에 하부전극 금속막을 형성하는 단계;

상기 음각패턴 내면에만 하부전극 금속막이 잔류되도록 상기 산화막 상면에 형성된 하부전극 금속막을 제거하는 단계; 및

상기 적어도 2개의 매립 콘택 각각에 접촉하도록 상기 음각패턴 내면에 잔류된 하부전극 금속막을 분리시키는 단계를 더 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법.

【청구항 4】

제1항에 있어서,

반도체 기판을 제공하는 단계;

상기 기판상에 트랜지스터를 형성하는 단계;

상기 트랜지스터가 형성된 기판상에 제1층간절연막을 형성하는 단계;

상기 제1층간절연막을 관통하여 상기 기판과 전기적으로 도통하는 다이렉트 콘택을 형성하는 단계;

상기 제1층간절연막상에 상기 다이렉트 콘택과 전기적으로 도통하는 비트라인을 형성하는 단계;

상기 제1층간절연막 전면상에 제2층간절연막을 형성하는 단계; 및

상기 제2층간절연막과 제1층간절연막을 관통하여 상기 기판과 전기적으로 도통하는 매립 콘택을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법.

【청구항 5】

매립 콘택이 형성된 층간절연막상에 산화막을 형성하는 단계;



적어도 2개의 매립 콘택을 개방시키는 음각패턴을 형성하는 단계;

상기 음각패턴 내면에 상기 개방된 적어도 2개의 매립 콘택 상면 모두와 접촉하는 하부 전극 금속막을 형성하는 단계;

상기 하부전극 금속막이 형성된 음각패턴 내면과 상기 산화막 상면에 강유전체 물질막과 상부전극 금속막을 순차로 형성하는 단계; 및

상기 상부전극 금속막과 강유전체 물질막과 하부전극 금속막을 패터닝하여 상기 적어도 2개의 매립 콘택 각각에 접촉하는 하부전극과 강유전막과 상부전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법.

【청구항 6】

제5항에 있어서,

상기 음각패턴을 형성하는 단계는,

상기 층간절연막 상면 일부와 상기 적어도 2개의 매립 콘택 상면이 노출되도록 상기 산화막을 일부 제거하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법.

【청구항 7】

제5항에 있어서,

상기 하부전극 금속막을 형성하는 단계는,

상기 산화막 상면과 상기 음각패턴 내면에 금속막을 형성하는 단계; 및



상기 음각패턴 내면에만 금속막이 잔류되도록 상기 산화막 상면에 형성된 금속막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법.

【청구항 8】

제5항에 있어서,

반도체 기판을 제공하는 단계;

상기 기판상에 트랜지스터를 형성하는 단계;

상기 트랜지스터가 형성된 기판상에 제1층간절연막을 형성하는 단계;

상기 제1층간절연막을 관통하여 상기 기판과 전기적으로 도통하는 다이렉트 콘택을 형성하는 단계;

상기 제1층간절연막상에 상기 다이렉트 콘택과 전기적으로 도통하는 비트라인을 형성하는 단계;

상기 제1층간절연막 전면상에 제2층간절연막을 형성하는 단계; 및

상기 제2층간절연막과 제1층간절연막을 관통하여 상기 기판과 전기적으로 도통하는 매립 콘택을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법.

【청구항 9】

매립 콘택이 형성된 층간절연막상에 산화막을 형성하는 단계;

적어도 2개의 매립 콘택의 측면 일부와 상면을 개방시키는 2단 음각패턴을 형성하는 단계;

상기 2단 음각패턴 내면에 상기 개방된 적어도 2개의 매립 콘택의 측면 및 상면 각각과 접촉하는 적어도 2개의 하부전극을 형성하는 단계; 및

상기 적어도 2개의 하부전극 상면 각각에 강유전막과 상부전극을 순차로 형성하는 단계를 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법.

【청구항 10】

제9항에 있어서,

상기 2단 음각패턴을 형성하는 단계는,

상기 2개의 매립 콘택 상면과 상기 층간절연막 상면이 개방되도록 상기 산화막을 일부 제거하는 단계; 및

상기 매립 콘택 측면 일부가 개방되도록 상기 개방된 층간절연막 상면 일부를 제거하는 단계를 더 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법.

【청구항 11】

제9항에 있어서,

상기 하부전극을 형성하는 단계는,

상기 산화막 상면과 상기 2단 음각패턴 내면에 하부전극 금속막을 형성하는 단계;

상기 2단 음각패턴 내면에만 하부전극 금속막이 잔류되도록 상기 산화막 상면에 형성된 하부전극 금속막을 제거하는 단계; 및

상기 적어도 2개의 매립 콘택 측면 일부 및 상면 각각에 접촉하도록 상기 2단 음각패턴 내면에 잔류된 하부전극 금속막을 분리시키는 단계를 더 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법.

【청구항 12】

제9항에 있어서,

반도체 기판을 제공하는 단계;

상기 기판상에 트랜지스터를 형성하는 단계;

상기 트랜지스터가 형성된 기판상에 제1층간절연막을 형성하는 단계;

상기 제1층간절연막을 관통하여 상기 기판과 전기적으로 도통하는 다이렉트 콘택을 형성하는 단계;

상기 제1층간절연막상에 상기 다이렉트 콘택과 전기적으로 도통하는 비트라인을 형성하는 단계;

상기 제1층간절연막 전면상에 제2층간절연막을 형성하는 단계; 및

상기 제2층간절연막과 제1층간절연막을 관통하여 상기 기판과 전기적으로 도통하는 매립 콘택을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법.

【청구항 13】

매립 콘택이 형성된 층간절연막상에 산화막을 형성하는 단계;

적어도 2개의 매립 콘택의 측면 일부와 상면을 개방시키는 2단 음각패턴을 형성하는 단계;

상기 2단 음각패턴 내면에 상기 개방된 적어도 2개의 매립 콘택 측면 및 상면 모두와 접촉하는 하부전극 금속막을 형성하는 단계;

상기 하부전극 금속막이 형성된 2단 음각패턴 내면과 상기 산화막 상면에 강유전체 물질막과 상부전극 금속막을 순차로 형성하는 단계; 및

상기 상부전극 금속막과 강유전체 물질막과 하부전극 금속막을 패터닝하여 상기 적어도 2개의 매립 콘택 각각에 접촉하는 하부전극과 강유전막과 상부전극을 형성하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법.

【청구항 14】

제13항에 있어서,

상기 2단 음각패턴을 형성하는 단계는,

상기 적어도 2개의 매립 콘택 상면과 상기 층간절연막 상면이 개방되도록 상기 산화막 일부를 제거하는 단계; 및

상기 적어도 2개의 매립 콘택 측면 일부가 개방되도록 상기 개방된 층간절연막 상면 일부를 제거하는 단계를 더 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법.

【청구항 15】

제13항에 있어서,

상기 하부전극 금속막을 형성하는 단계는,

상기 산화막 상면과 상기 2단 음각패턴 내면에 금속막을 형성하는 단계; 및

상기 2단 음각패턴 내면에만 금속막이 잔류되도록 상기 산화막 상면에 형성된 금속막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법.

【청구항 16】

제13항에 있어서,

반도체 기판을 제공하는 단계;

상기 기판상에 트랜지스터를 형성하는 단계;

상기 트랜지스터가 형성된 기판상에 제1층간절연막을 형성하는 단계;

상기 제1층간절연막을 관통하여 상기 기판과 전기적으로 도통하는 다이렉트 콘택을 형성하는 단계;

상기 제1층간절연막상에 상기 다이렉트 콘택과 전기적으로 도통하는 비트라인을 형성하는 단계;

상기 제1층간절연막 전면상에 제2층간절연막을 형성하는 단계; 및

상기 제2층간절연막과 제1층간절연막을 관통하여 상기 기판과 전기적으로 도통하는 매립 콘택을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자의 제조방법.

【청구항 17】

매립 콘택이 형성되어 있는 층간절연막;

상기 층간절연막상에 형성되어 있는 산화막;

적어도 2개의 매립 콘택 상면을 상기 산화막으로부터 개방시키는 음각패턴;



상기 개방된 적어도 2개의 매립 콘택 상면 각각과 접촉하며, 상기 음각패턴내에 형성되어 있는 적어도 2개의 하부전극; 및

상기 적어도 2개의 하부전극 상면 각각에 순차로 형성되어 있는 강유전막과 상부전극을 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자.

【청구항 18】

제17항에 있어서,

상기 하부전극은,

상기 매립 콘택 상면과 접촉하는 수평전극분과,

상기 수평전극분으로부터 연장되어 상기 음각패턴 측벽에 형성되어 있는 수직전극분을 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자.

【청구항 19】

제17항에 있어서,

트랜지스터가 형성된 반도체 기판과, 상기 기판과 전기적으로 도통하는 비트라인을 더 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자.

【청구항 20】

매립 콘택이 형성되어 있는 층간절연막;

상기 층간절연막상에 형성된 산화막;

적어도 2개의 매립 콘택의 측면 일부와 상면을 상기 산화막으로부터 개방시키는 2단 음각패턴;

상기 개방된 적어도 2개의 매립 콘택의 측면 및 상면 각각과 접촉하며, 상기 2단 음각 패턴내에 형성되어 있는 적어도 2개의 하부전극; 및

상기 적어도 2개의 하부전극 상면 각각에 순차로 형성되어 있는 강유전막과 상부전극을 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자.

【청구항 21】

제20항에 있어서,

상기 하부전극은,

상기 매립 콘택의 측면 일부와 접촉하는 제1수직전극분과,

상기 제1수직전극분으로부터 연장되어 상기 매립 콘택의 상면과 접촉하는 수평전극분과

상기 수평전극분으로부터 연장되어 상기 2단 음각패턴의 측벽에 형성되어 있는 제2수직 전극분을 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자.

【청구항 22】

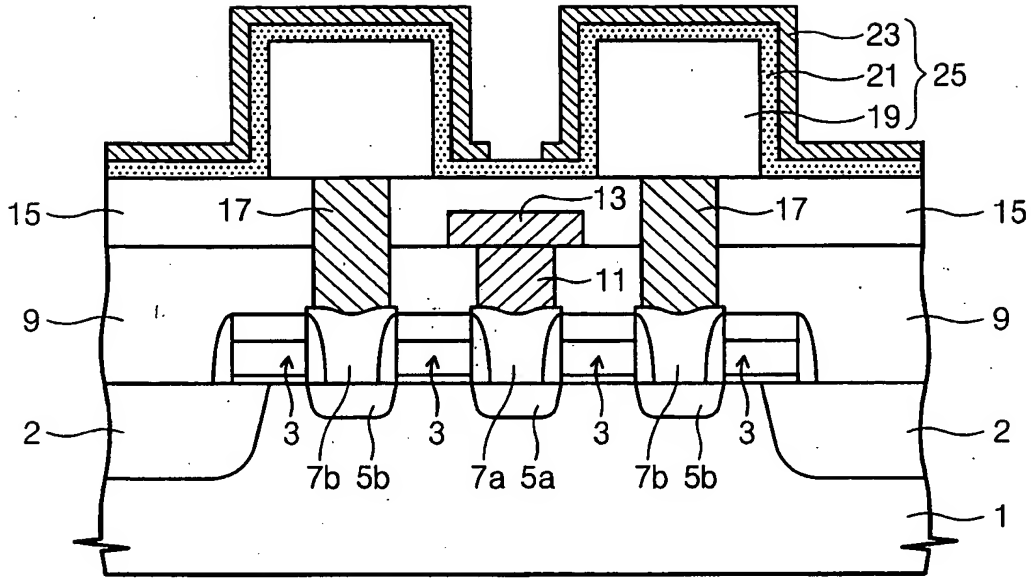
제20항에 있어서,

트랜지스터가 형성된 반도체 기판과, 상기 기판과 전기적으로 도통하는 비트라인을 더 포함하는 것을 특징으로 하는 반실린더형 캐패시터를 갖는 강유전체 메모리 소자.

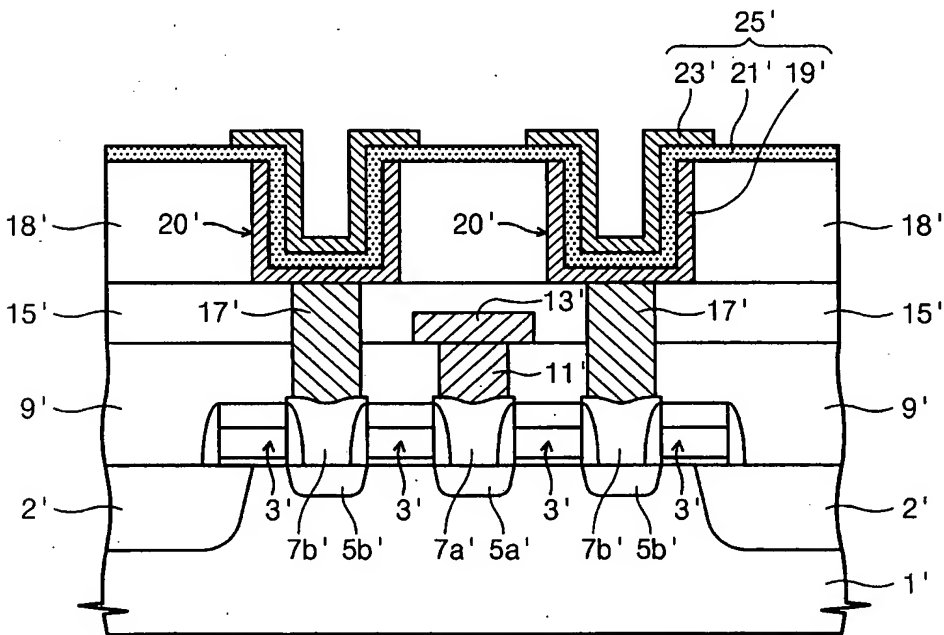


【도면】

【도 1】



【도 2】

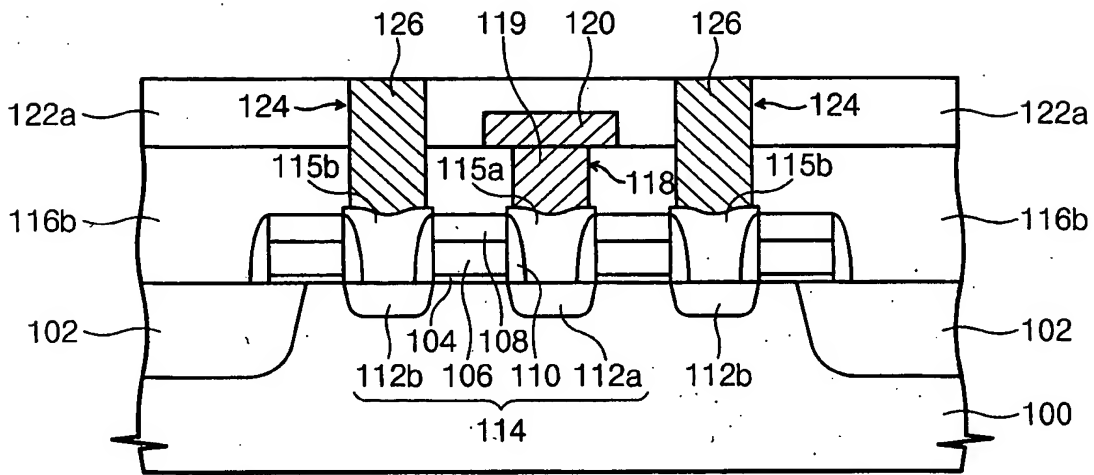


This diagram shows a cross-sectional view of a semiconductor device. A central gate structure, labeled 114, is positioned on a substrate 100. The gate structure 114 includes a gate dielectric layer 106, a gate electrode 110, and a gate spacer 112a. The gate structure is flanked by two side regions, 112b, which are separated from the gate structure by a gap 108. The side regions 112b are formed in a substrate 102, which is separated from the substrate 100 by a layer 104. The side regions 112b are further defined by a layer 115a, which is flanked by two layers 115b. The entire structure is surrounded by a layer 116.

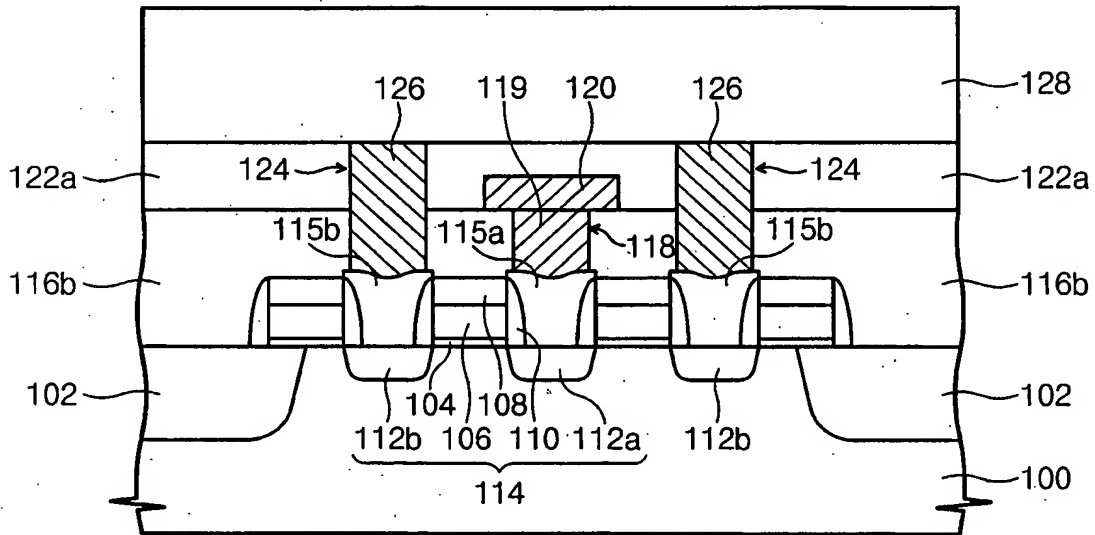
This cross-sectional view shows a central block 120 with a hatched pattern, situated between a top layer 122 and a bottom layer 100. A middle layer 102 contains a series of regions labeled 115a and 115b, which are separated by regions 116a. Below the middle layer 102, a series of regions labeled 112a, 112b, 110, 108, 106, and 104 are shown, collectively forming a structure 114. A region 118 is located between the central block 120 and the middle layer 102, and a region 119 is located between the central block 120 and the bottom layer 100.



【도 6】

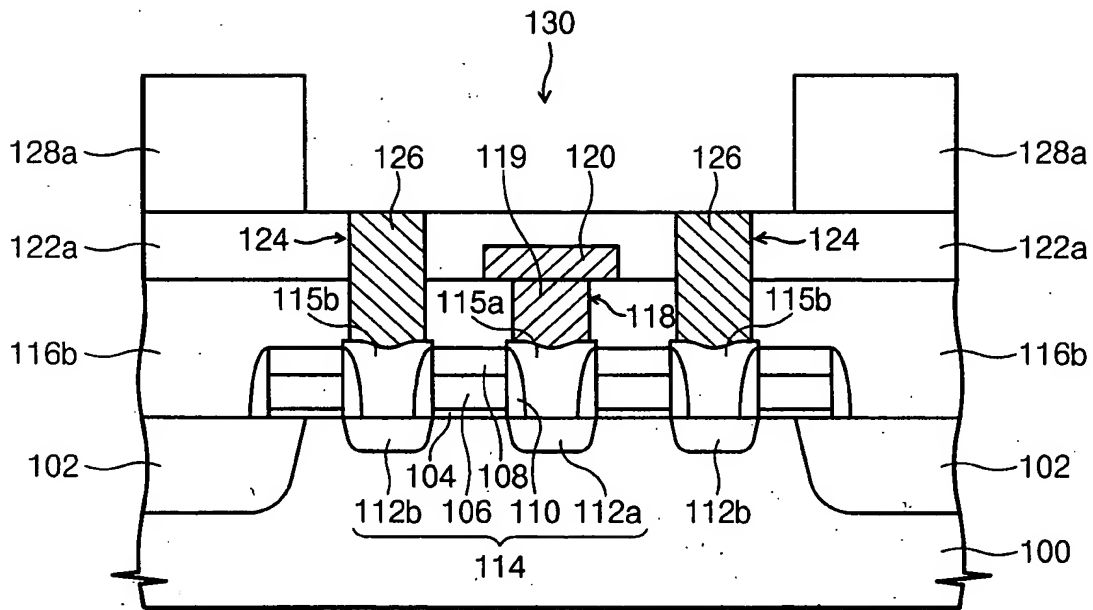


【도 7】

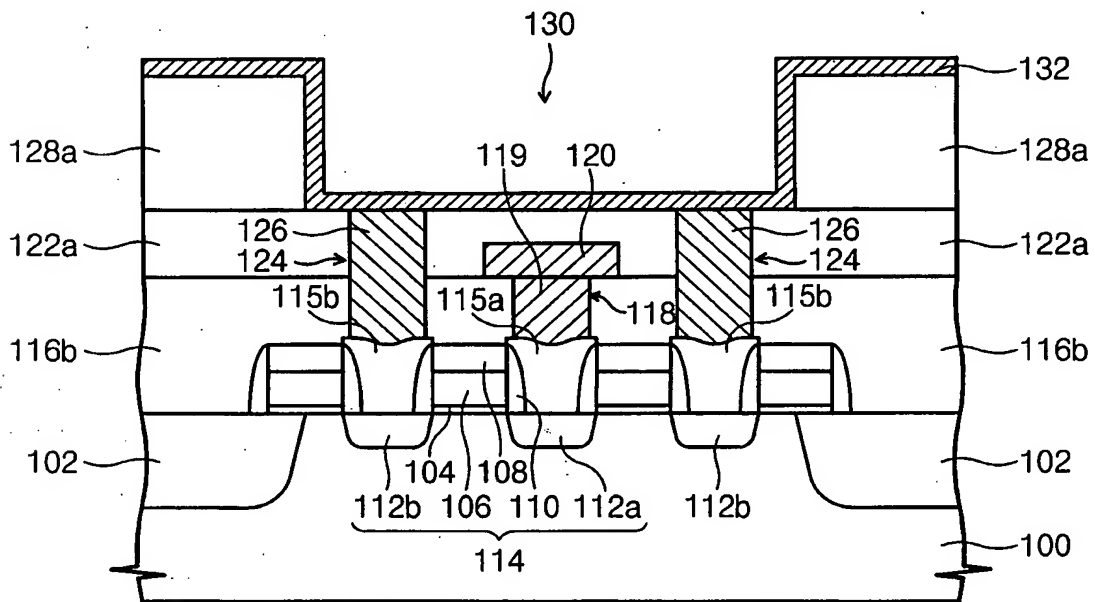




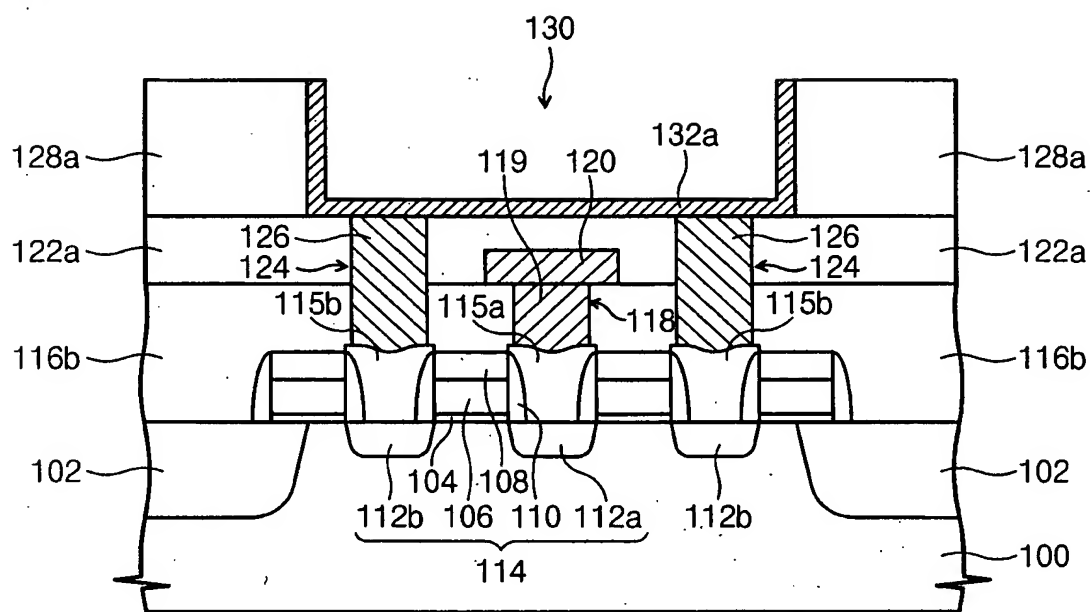
【도 8】



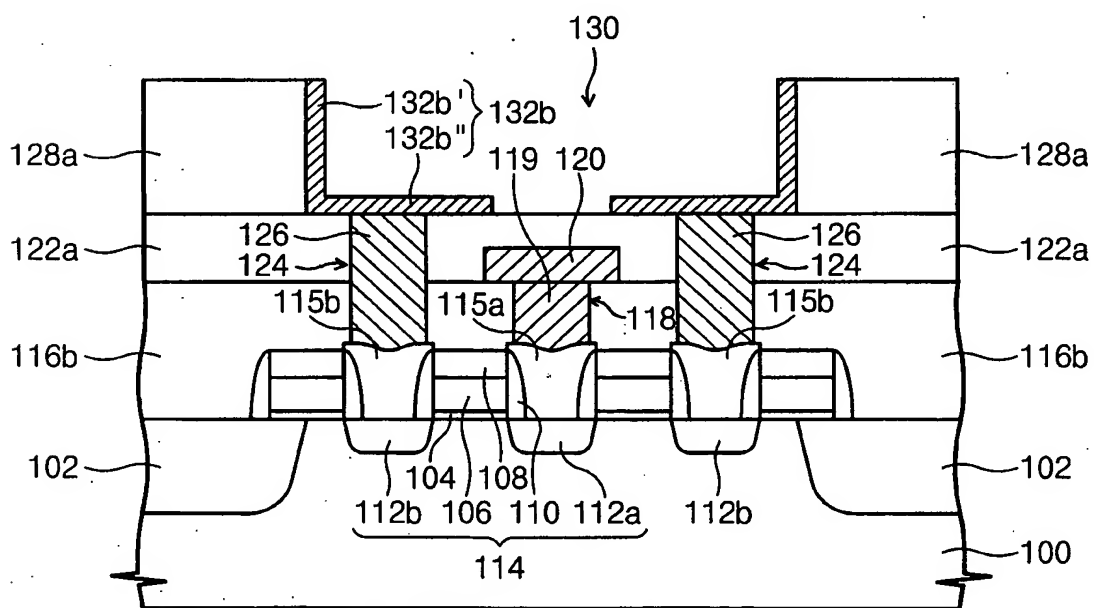
【도 9】



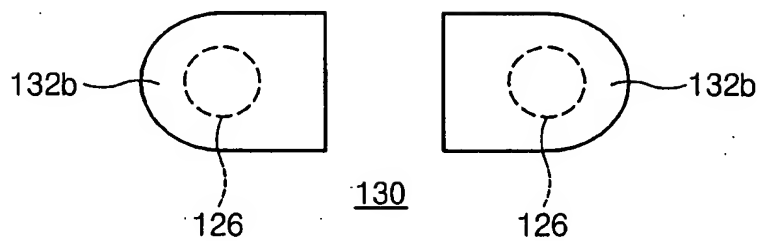
【도 10】



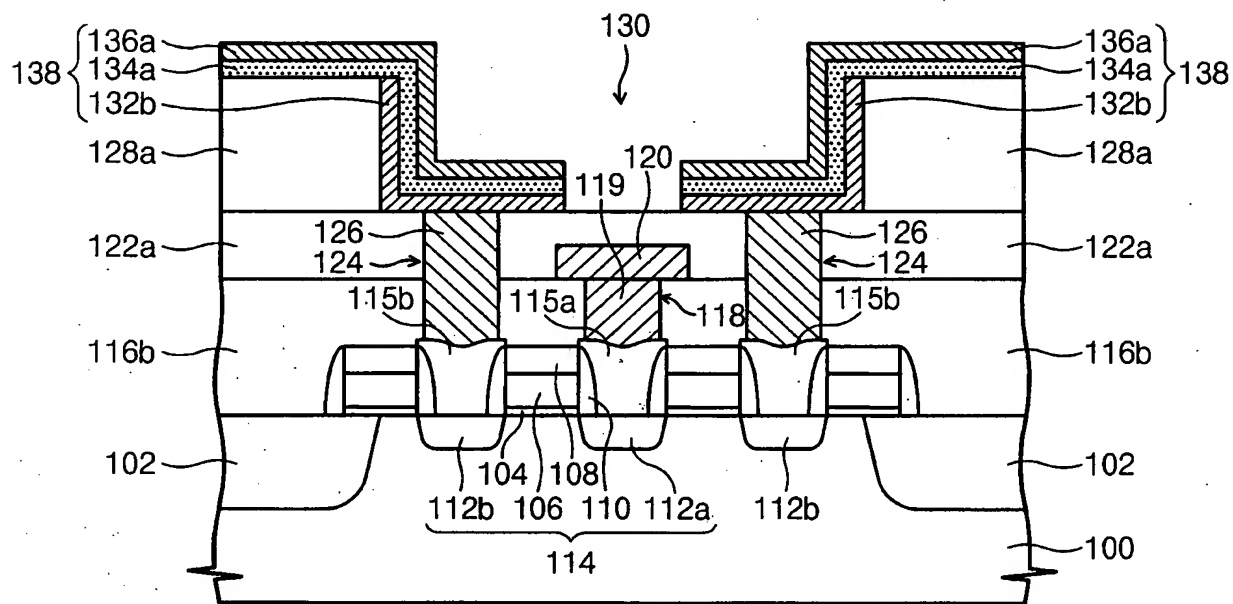
【도 11】



【도 12】

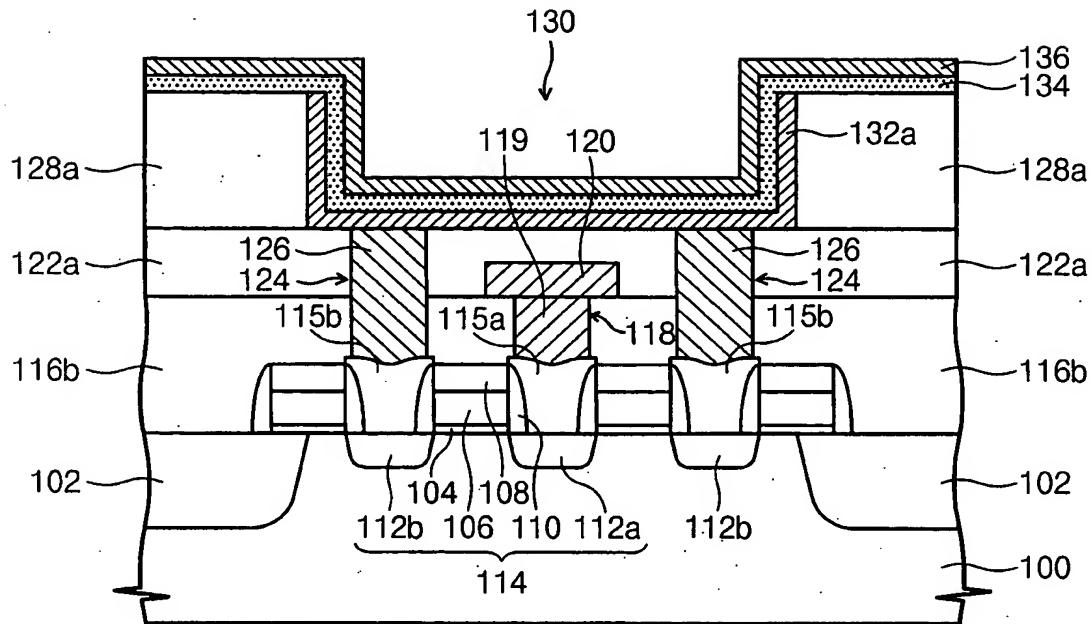


【도 13】

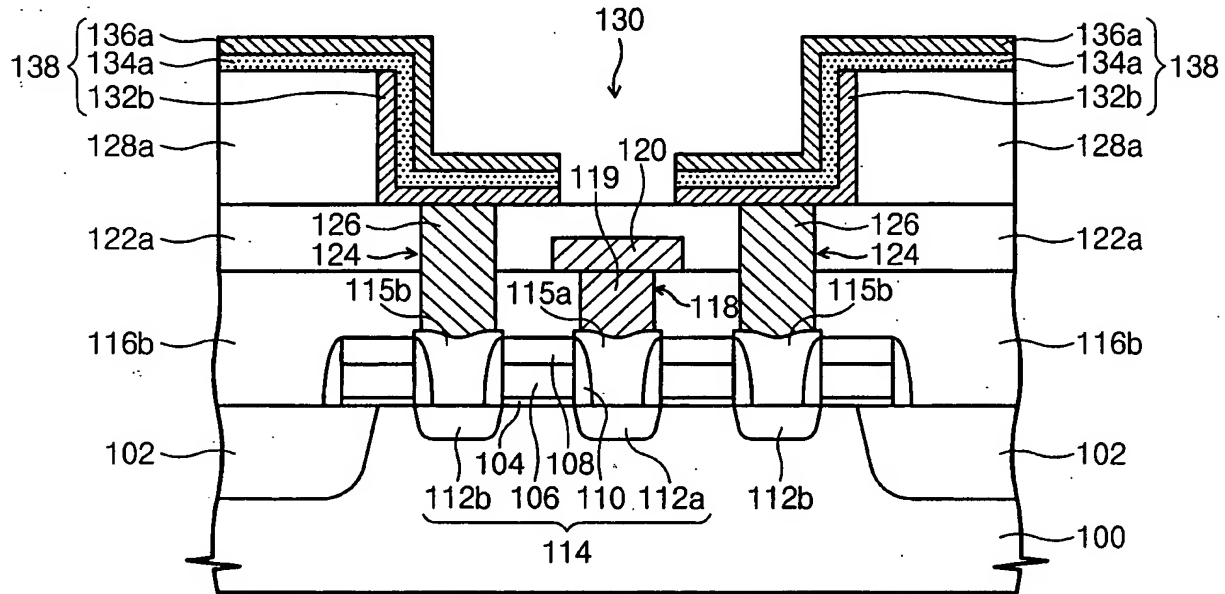


[illegible]

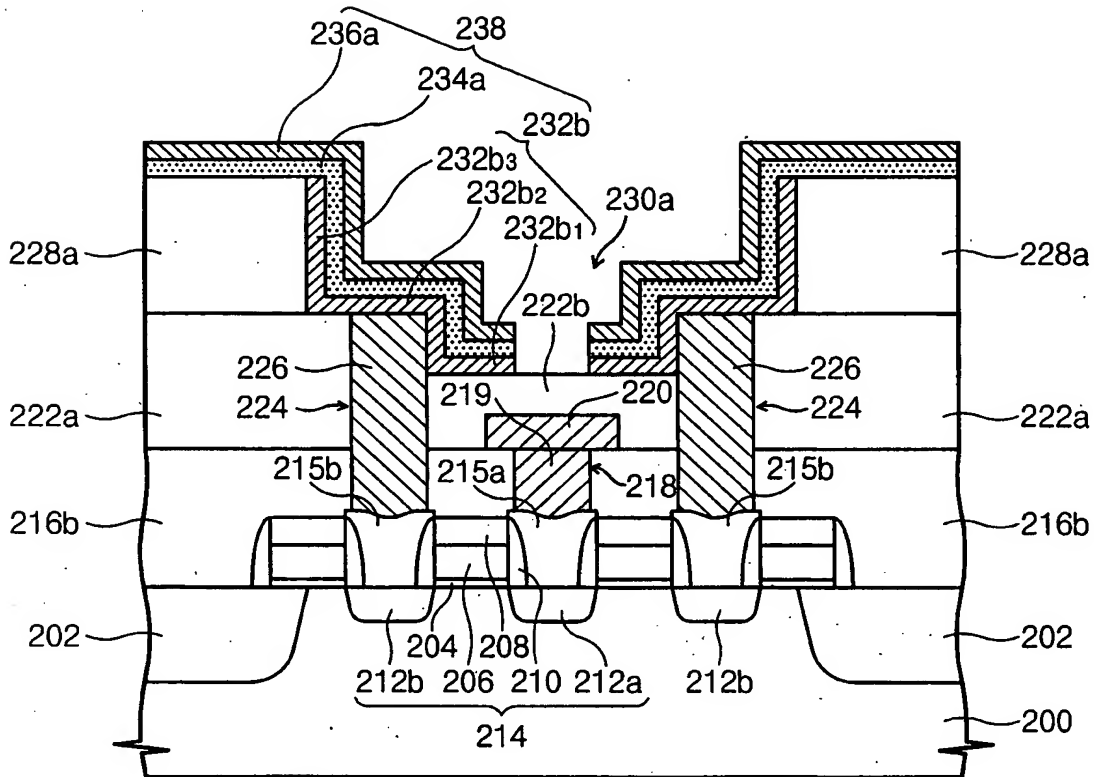
【도 16】



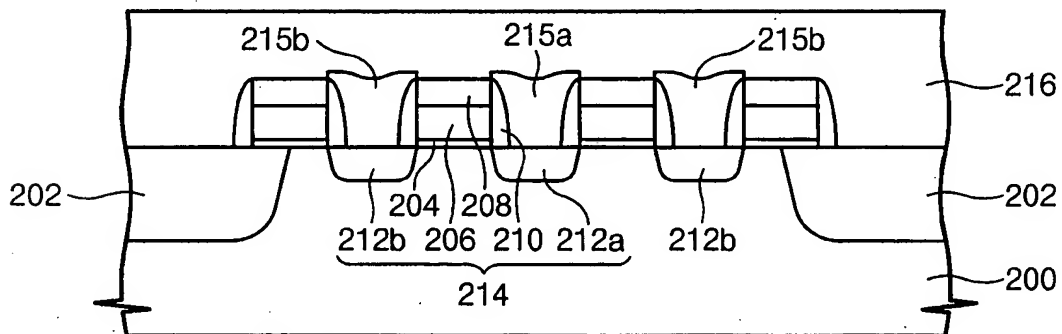
【도 17】



【도 18】

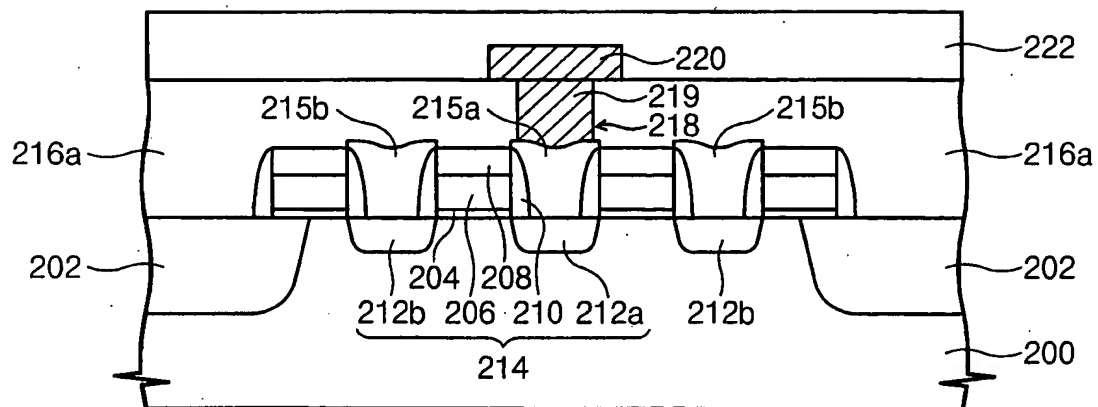


【도 19】

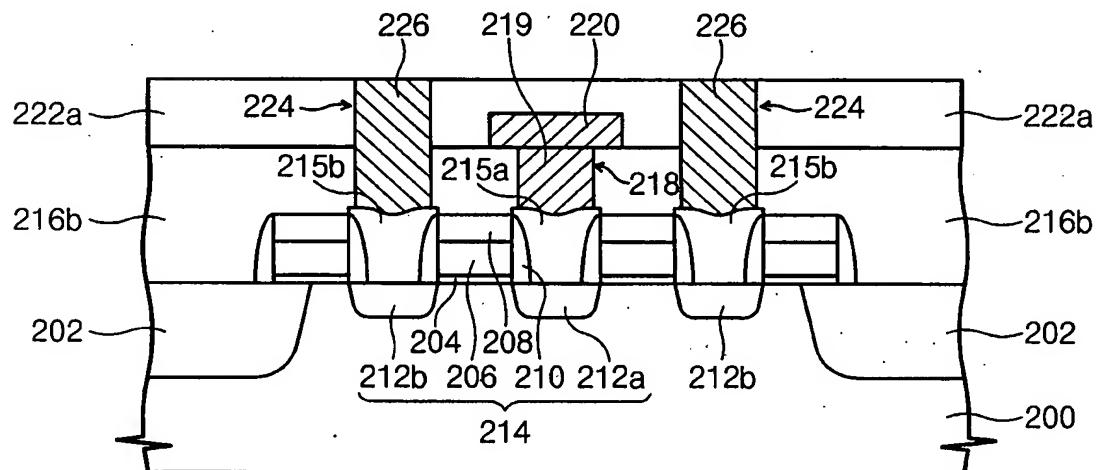




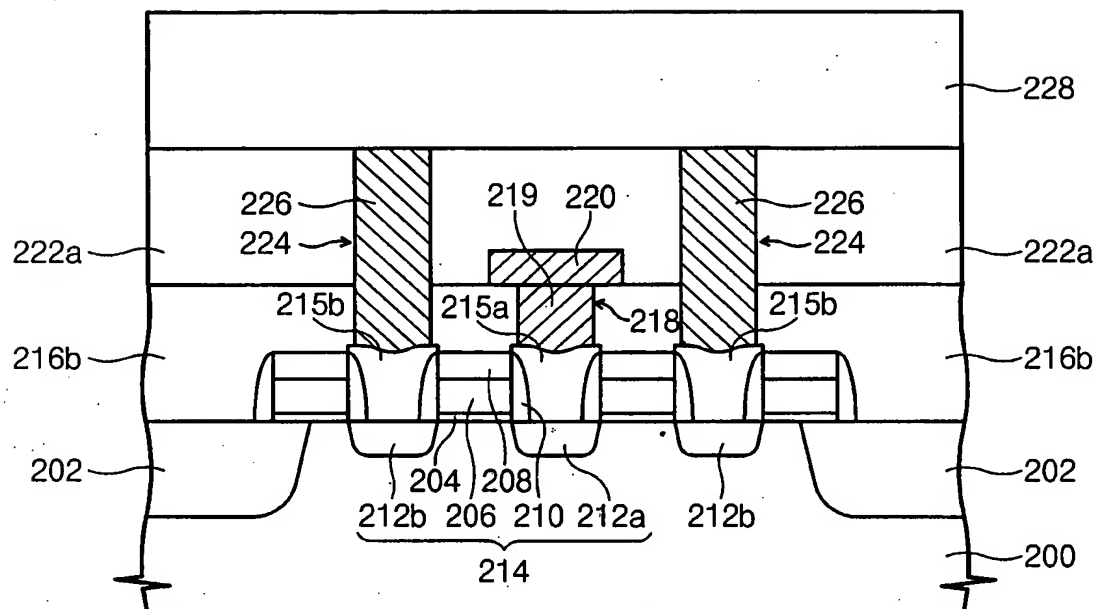
【도 20】



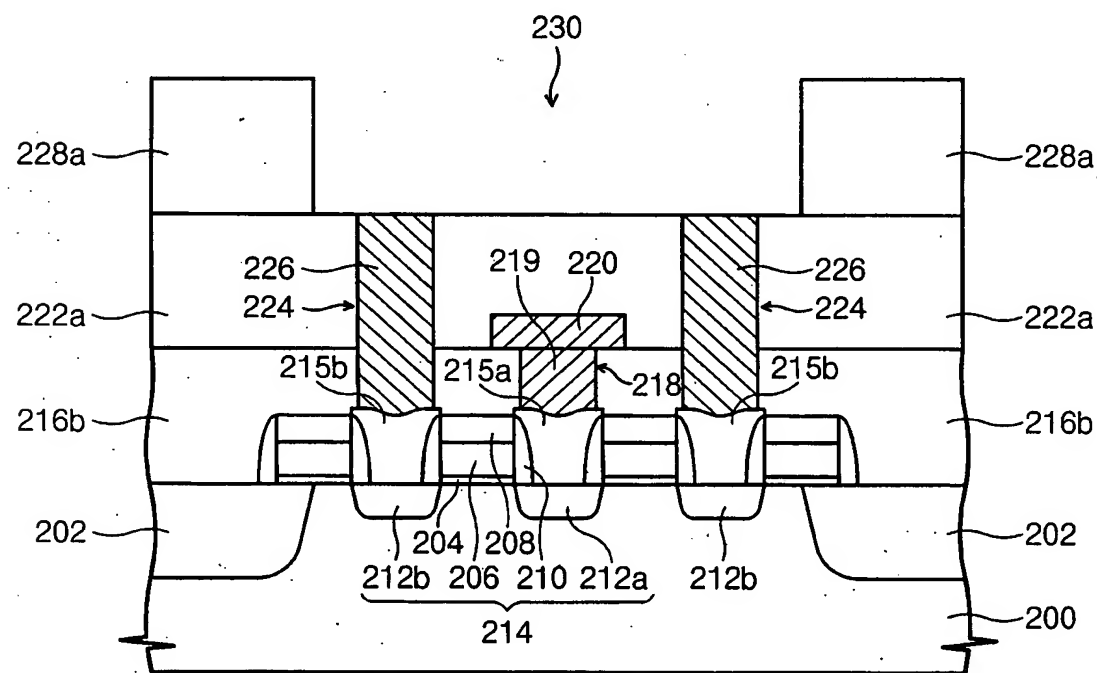
【도 21】



【도 22】

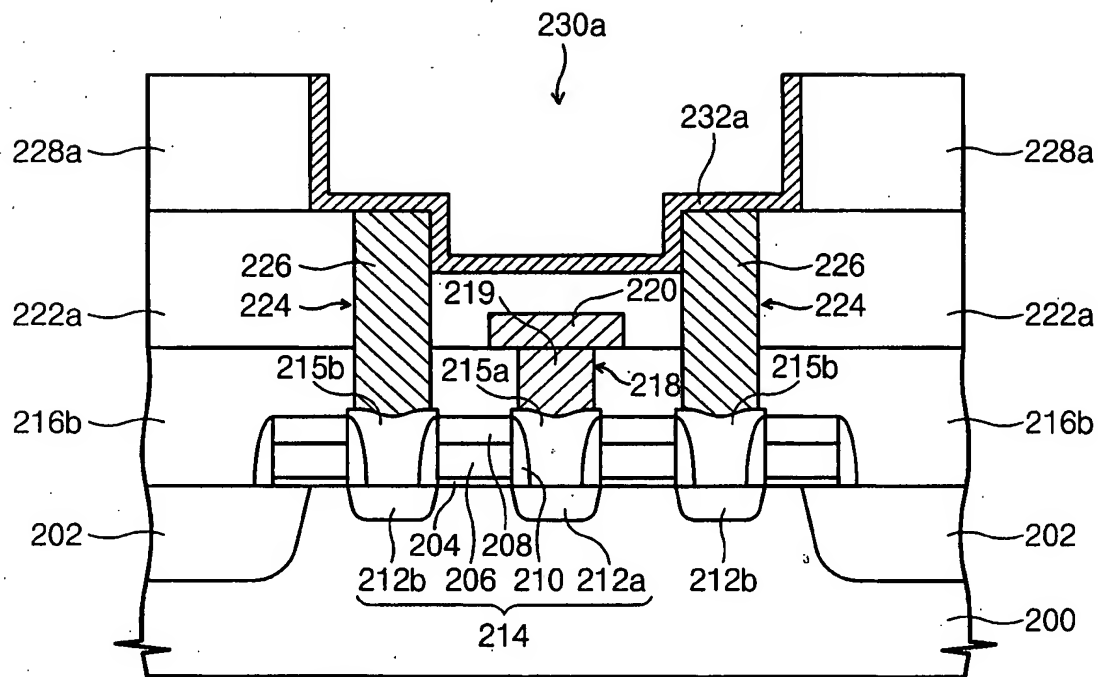


【도 23】

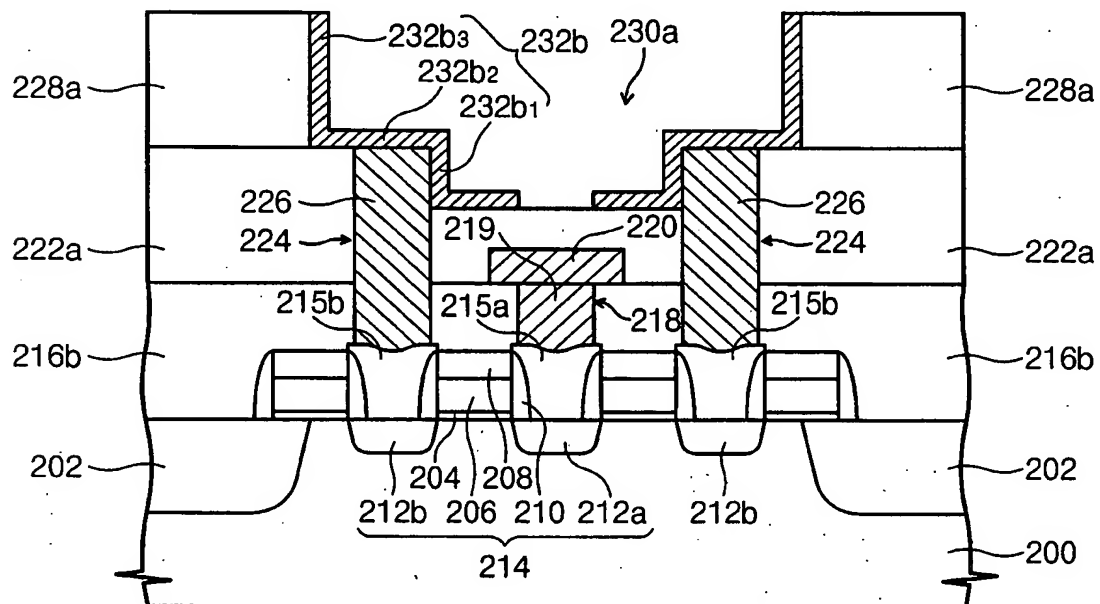


A cross-sectional view of a semiconductor device 230a. The device features a substrate 200 with a top layer 202. A central region 214 contains a series of components: a gate stack 210 with a gate dielectric 206 and a gate electrode 208, flanked by source/drain regions 212a and 212b. Above the gate stack is a channel layer 215a, and above the source/drain regions are channel layers 215b. A layer 216b is positioned below the channel layers. A layer 218 is located above the gate stack. A layer 219 is positioned above the channel layers. A layer 220 is positioned above the gate stack. A layer 222a is positioned above the channel layers. A layer 224 is positioned above the gate stack. A layer 226 is positioned above the channel layers. A layer 228a is positioned above the gate stack. A layer 232 is positioned above the channel layers. A layer 230a is positioned above the gate stack.

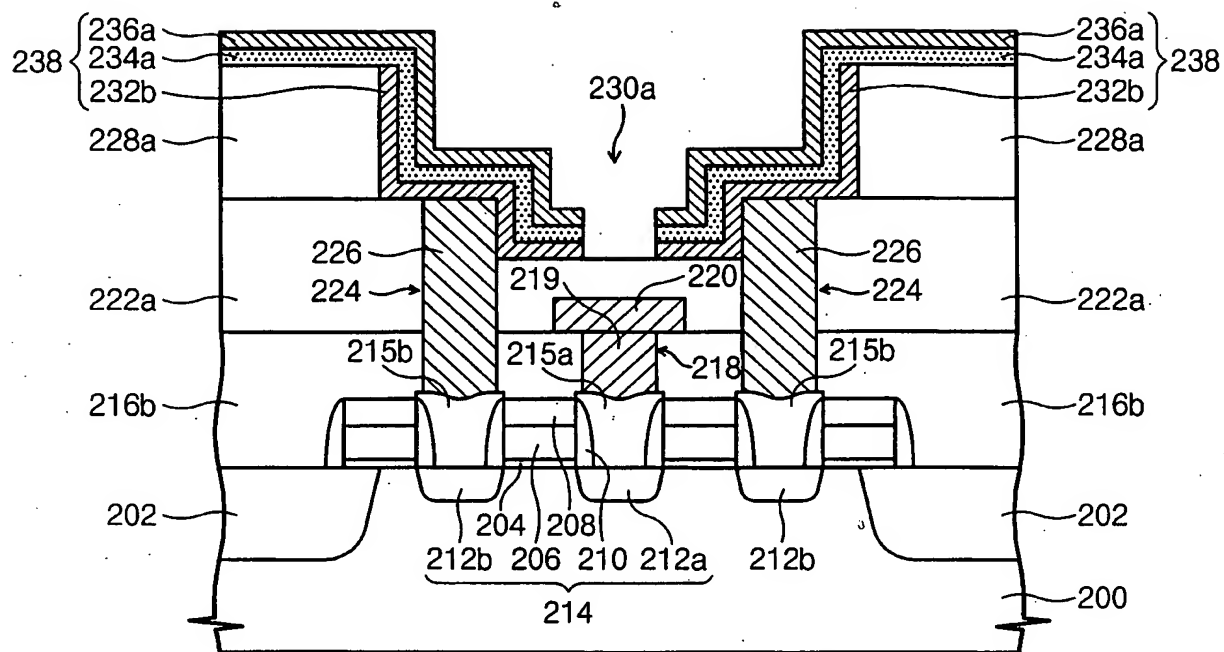
【도 26】



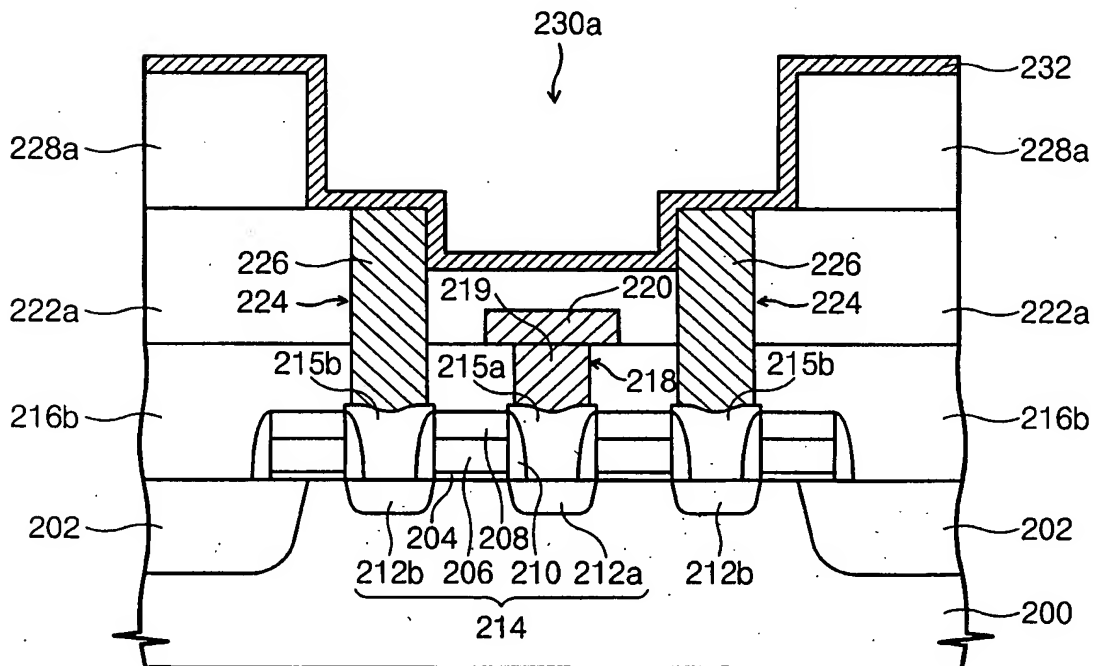
【도 27】



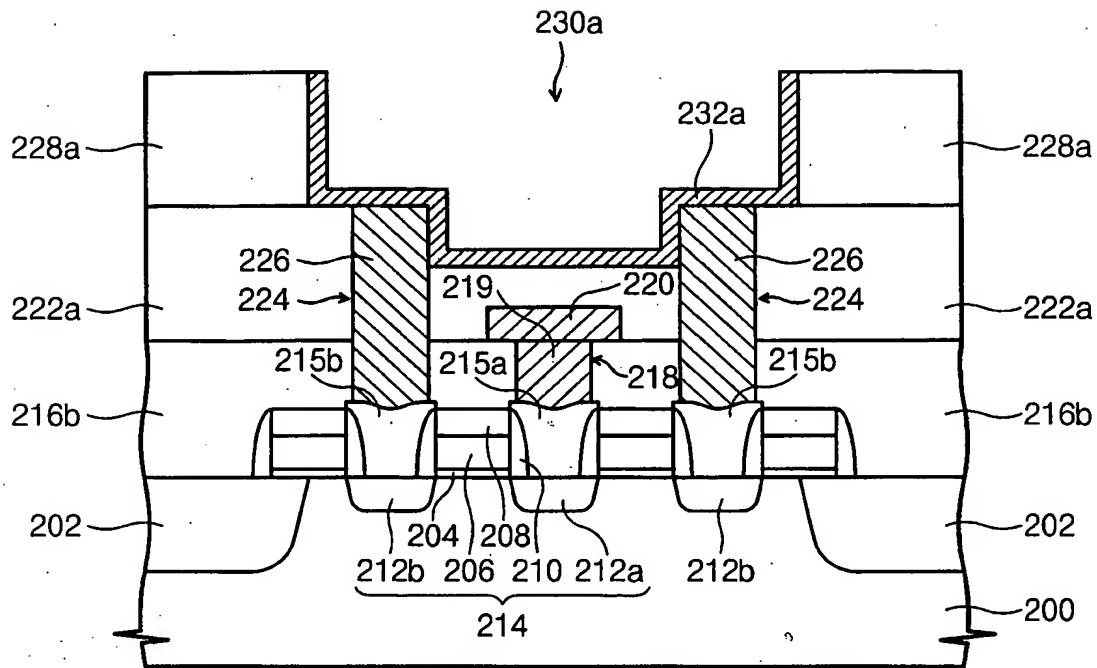
【도 28】



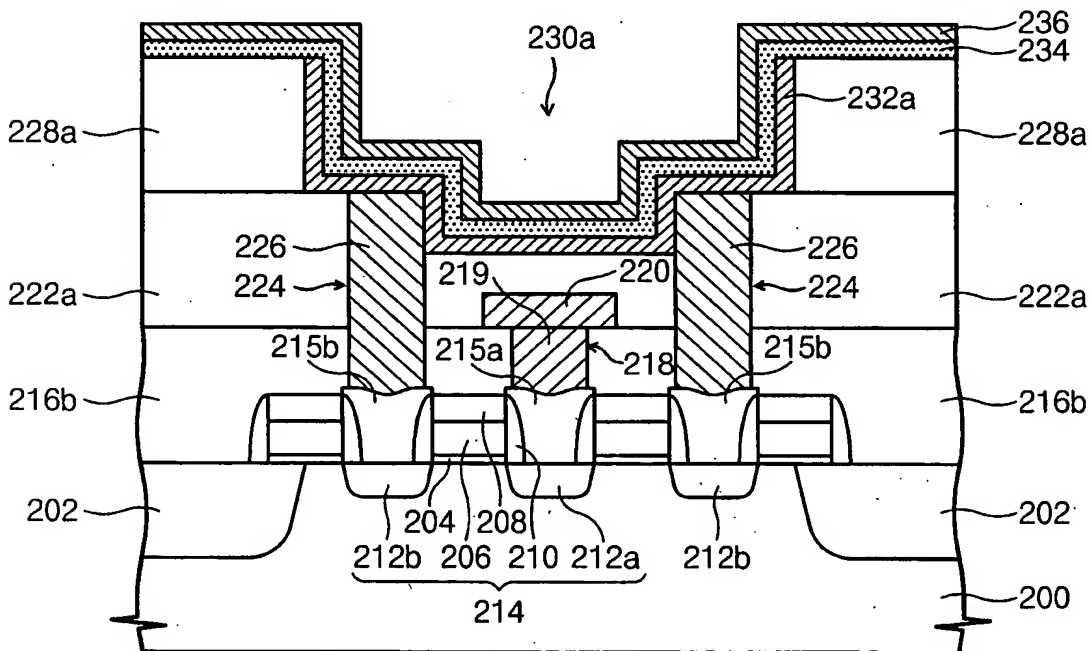
【도 29】



【도 30】



【도 31】



【도 32】

